



การศึกษาและออกแบบเครื่องส่งเคราะห์ความถี่แบบสามลูบ
ย่านความถี่เอ็กซ์แบนด์สำหรับระบบสื่อสารผ่านดาวเทียม

โดย

เจตวรา ต่างจิตร์

กันต์พงษ์ ศรีสถิตย์

คมกฤษ บุญยั้ง

สนับสนุนงบประมาณโดย

มหาวิทยาลัยเทคโนโลยีราชมงคลรัตนโกสินทร์

ประจำปีงบประมาณ 2561



Study and Design of X- Band Triple Loop Frequency
Synthesizer for Satellite Communication System

By

Jetwara Tangjit

Kunnthphong Srisathit

Komkrit Boonying

Granted by

Rajamangala University of Technology Rattanakosin

Fiscal year 2018

กิตติกรรมประกาศ

ขอขอบคุณ อธิการบดีมหาวิทยาลัยเทคโนโลยีราชมงคลธัญบุรี และสถาบันวิจัยและพัฒนา
ที่ได้ให้การสนับสนุนเงินทุนวิจัยจากงบประมาณแผ่นดิน ประจำปี พ.ศ. 2561 ของมหาวิทยาลัยเทคโนโลยี
ราชมงคลธัญบุรี

สุดท้ายนี้ หวังว่าคุณประโยชน์ใดๆอันพึงเกิดจากการวิจัยครั้งนี้ ผู้วิจัยและคณะขอมอบให้แต่ทุก
ท่านที่เกี่ยวข้องด้วยความเคารพยิ่ง

เจตวรา ต่างจิตร์ และ คณะผู้วิจัย

กันยายน 2561



บทคัดย่อ

รหัสโครงการ : A22/2561

ชื่อโครงการ : การศึกษาและออกแบบเครื่องส่งเคราะห์ความถี่แบบสามลูปย่านความถี่เอ็กซ์แบนด์
สำหรับระบบสื่อสารผ่านดาวเทียม

ชื่อนักวิจัย : เจตวรา ต่างจิตร์, กันต์พงษ์ ศรีสถิตย์ และ คมกฤษ บุญยั้ง

งานวิจัยนี้เป็นการศึกษาและออกแบบเครื่องส่งเคราะห์ความถี่แบบสามลูปย่านความถี่เอ็กซ์แบนด์สำหรับระบบสื่อสารผ่านดาวเทียม โดยภายในเครื่องส่งเคราะห์ความถี่ประกอบด้วยวงจรเฟสล็อก ลูบด้วยกันสามลูบ ทำงานที่ความถี่ 6.8 – 7.8 GHz ปรับความถี่ได้ครั้งละ 100 kHz กำลังงานเอาต์พุต 10 dBm เมื่อทำการทดสอบที่ความถี่ 7.33 GHz ค่าเฟสน้อยส์เท่ากับ -85 dBc, -111.66 dBc และ -129.95dB ที่ความถี่ออฟเซต 100kHz, 100kHz และ 1MHz ตามลำดับ มีค่าเบี่ยงเบนความถี่ 20Hz จากผลการทดสอบจะเห็นได้ว่าเครื่องส่งเคราะห์ความถี่ที่ออกแบบเฟสน้อยส์ต่ำและมีค่าเบี่ยงเบนความถี่ที่มีความแม่นยำ

คำสำคัญ : ส่งเคราะห์ความถี่, เฟสล็อกลูบ, วงจรกำเนิดสัญญาณควบคุมด้วยแรงดัน

E-mail Address : jetwara.tan@rmutr.ac.th

ระยะเวลาโครงการ : ตุลาคม 2560 – กันยายน 2561



Abstract

Code of project : A22/2561

Project name : Study and Design of X- Band Triple Loop Frequency Synthesizer for Satellite Communication System

Researcher name : Jetwara Tangjit, Kunthphong Srisathit and Komkrit Boonying

This research is to study and design of X- band triple loop frequency synthesizer for the satellite communication system. The internal frequency synthesizer consists of three phase-locked loop circuits. The proposed frequency synthesizer can operate at the frequency from 6.8 to 7.8 GHz having an adjustable frequency at a time with 100 kHz and output power with 10 dBm. Considering at the measured frequency of 7.33 GHz, phase noises are -85 dBc, -111.66 dBc and 129.95dB at the offset frequency of 100kHz, 100kHz and 1MHz, respectively with 20Hz frequency deviation. The measured results show that the proposed frequency synthesizer has low noise with an accurate frequency deviation.

Keywords : Frequency synthesizer, phase locked loop, voltage control oscillator.

E-mail Address : jetwara.tan@rmutr.ac.th

Period of project : October 2017 – September 2018

สารบัญ

	หน้า
กิตติกรรมประกาศ	ก
บทคัดย่อภาษาไทย	ข
บทคัดย่อภาษาอังกฤษ	ค
สารบัญ	ง
สารบัญตาราง	ฉ
สารบัญภาพ	ช
บทที่ 1 บทนำ	1
1.1 ความเป็นมาและความสำคัญของปัญหา	1
1.2 วัตถุประสงค์ของการวิจัย	2
1.3 ขอบเขตการวิจัย	2
1.4 ประโยชน์ที่คาดว่าจะได้รับ	2
บทที่ 2 ทบทวนวรรณกรรมที่เกี่ยวข้อง/ทฤษฎีที่เกี่ยวข้อง	4
2.1 ทฤษฎีที่เกี่ยวข้อง	4
2.2 หลักการทำงาน	5
บทที่ 3 ระเบียบวิธีการวิจัย	7
3.1 วงจรเฟสล็อกคัลบ์ตัวที่1 (PLL1)	9
3.2 วงจรเฟสล็อกคัลบ์ตัวที่1 (PLL1)	10
3.3 วงจรตรวจจับเฟสหรือวงจรเปรียบเทียบเฟส (phase detector)	10
3.4 วงจรกรองความถี่ต่ำหรือวงจรกรองความถี่ต่ำผ่าน (low pass filter)	11
3.5 วงจรกำเนิดสัญญาณควบคุมด้วยแรงดัน (voltage controlled oscillator VCO)	12

สารบัญ (ต่อ)		หน้า
บทที่ 4	การทดสอบและวิจารณ์ผลการทดสอบ	14
	4.1 เครื่องมือที่ใช้ในการทดสอบ	14
	4.2 การทดสอบวงจร	17
	4.3 สรุปผลการทดสอบ	30
บทที่ 5	สรุปผล อภิปรายผลและข้อเสนอแนะ	31
	5.1 สรุปผลการวิจัย	31
	5.2 ปัญหาและอุปสรรค	31
	5.3 แนวทางการแก้ไขปัญหา	31
	5.4 การนำไปใช้ประโยชน์แนวทางการประยุกต์หรือพัฒนาต่อยอดในลักษณะ อื่นๆ	32
	บรรณานุกรม	33
	ภาคผนวก ก DATA SHEET ADF4350	35
	ภาคผนวก ข DATA SHEET HMC508	42
	ประวัติผู้วิจัย	49

สารบัญตาราง

ตารางที่

4.1 สรุปผลการทดสอบ

หน้า

30



สารบัญภาพ

ภาพที่	หน้า
1.1 ตัวอย่างอุปกรณ์สังเคราะห์ความถี่(frequency synthesizer)	2
2.1 บล็อกไดอะแกรมของเฟสล็อกกลูป	4
2.2 บล็อกไดอะแกรมแสดงการทำงานของเครื่องสังเคราะห์ความถี่ย่าน เอ็กซ์-แบนด์	5
2.3 บล็อกไดอะแกรมแสดงการทำงานของเฟสล็อกกลูปตัวที่ 1 (PLL1)	5
2.4 บล็อกไดอะแกรมแสดงการทำงานของเฟสล็อกกลูปตัวที่ 2 (PLL2)	6
2.5 บล็อกไดอะแกรมแสดงการทำงานของเฟสล็อกกลูปตัวที่ 3	6
3.1 บล็อกไดอะแกรมแสดงการทำงานของเครื่องสังเคราะห์ความถี่ย่าน เอ็กซ์-แบนด์	8
3.2 วงจรแสดงการทำงานของเครื่องสังเคราะห์ความถี่ย่าน เอ็กซ์-แบนด์	8
3.3 บล็อกไดอะแกรมแสดงการทำงานของเฟสล็อกกลูปตัวที่ 1 (PLL1)	9
3.4 บล็อกไดอะแกรมแสดงการทำงานของเฟสล็อกกลูปตัวที่ 2 (PLL2)	10
3.5 บล็อกไดอะแกรมแสดงการทำงานของวงจรเปรียบเทียบเฟส	11
3.6 บล็อกไดอะแกรมแสดงอุปกรณ์วงจรกรองความถี่ลูป	12
3.7 บล็อกไดอะแกรมแสดงอุปกรณ์วงจรถักกำเนิดสัญญาณควบคุมด้วยแรงดัน	13
4.1 เครื่องวิเคราะห์สเปกตรัม	14
4.2 เครื่องกำเนิดสัญญาณ	15
4.3 เครื่องจ่ายไฟเลี้ยงกระแสตรงปรับค่าได้	16
4.4 ตัวลดทอนกำลังงาน	16
4.5 สายนำสัญญาณ	24
4.6 วงจรกำเนิดสัญญาณควบคุมด้วยแรงดัน ที่ใช้ในการทดสอบ	17
4.7 ผลการทดสอบบ่อนแรงดัน 0.5 V ได้เอาต์พุตความถี่ 6.802 GHz	18
4.8 ผลการทดสอบบ่อนแรงดัน 1 V ได้เอาต์พุตความถี่ 7.025 GHz	18
4.9 ผลการทดสอบบ่อนแรงดัน 1.5 V ได้เอาต์พุตความถี่ 7.177 GHz	19
4.10 ผลการทดสอบบ่อนแรงดัน 2 V ได้เอาต์พุตความถี่ 7.298 GHz	19

สารบัญภาพ (ต่อ)

หน้า

4.11	ผลการทดสอบป้อนแรงดัน 2.5 V ได้เอาต์พุตความถี่ 7.403 GHz	20
4.12	ผลการทดสอบป้อนแรงดัน 3.0 V ได้เอาต์พุตความถี่ 7.498 GHz	20
4.13	ผลการทดสอบป้อนแรงดัน 3.5 V ได้เอาต์พุตความถี่ 7.580 GHz	21
4.14	ผลการทดสอบป้อนแรงดัน 4.0 V ได้เอาต์พุตความถี่ 7.657 GHz	21
4.15	ผลการทดสอบป้อนแรงดัน 4.5 V ได้เอาต์พุตความถี่ 7.729 GHz	22
4.16	ผลการทดสอบป้อนแรงดัน 5.0 V ได้เอาต์พุตความถี่ 7.801 GHz	22
4.17	กราฟแสดงการเปลี่ยนแปลงความถี่ของวงจรกำเนิดสัญญาณควบคุมด้วยแรงดัน HMC508 ที่ แรงดันต่างๆ	23
4.18	วงจรเฟสล็อกคู่ตัวที่ 1 (PLL1) ที่ใช้ในการทดสอบ	24
4.19	ผลการทดสอบทดสอบวงจรเฟสล็อกคู่ตัวที่ 1 (PLL1)	24
4.20	วงจรเฟสล็อกคู่ตัวที่ 2 (PLL2) ที่ใช้ในการทดสอบ	25
4.21	ผลการทดสอบทดสอบวงจรเฟสล็อกคู่ตัวที่ 2 (PLL2)	26
4.22	วงจรผสมสัญญาณ HMC218 ที่ใช้ในการทดสอบ	27
4.23	ผลการทดสอบทดสอบวงจรผสมสัญญาณ HMC218	27
4.24	ผลการทดสอบการเบี่ยงเบนความถี่แบบสามลูป	28
4.25	ผลการทดสอบการเบี่ยงเบนความถี่แบบลูปเดียว	29
4.26	ภาพชิ้นงานที่ใช้ในการทดสอบแบบลูปเดียว	29
4.27	ภาพชิ้นงานที่ใช้ในการทดสอบแบบสามลูป	30

บทที่ 1

บทนำ

1.1 ความเป็นมาและความสำคัญของปัญหา

นับตั้งแต่ไมเคิล ฟาราเดย์ (Michael Faraday) ชาวอังกฤษได้ค้นพบทฤษฎีการเหนี่ยวนำของแม่เหล็กไฟฟ้าในปี พ.ศ. 2374 และเจมส์ คลาร์ก แมกเวลล์ (James Clark Maxwell) นักฟิสิกส์ชาวอังกฤษได้ประกาศทฤษฎีแม่เหล็กไฟฟ้าเมื่อ พ.ศ. 2397 โดยได้เสนอแนวคิดของกระแสดิฟเฟอเรนเชียลทำให้สามารถอธิบายการแพร่กระจายของคลื่นแม่เหล็กไฟฟ้าได้ซึ่งหมายถึงสามารถส่งผ่านพลังงานไฟฟ้าจากตำแหน่งหนึ่งไปยังอีกตำแหน่งหนึ่งได้ หลังจากนั้นนักวิทยาศาสตร์ก็พยายามศึกษาคุณสมบัติการส่งผ่านคลื่นแม่เหล็กไฟฟ้าในเงื่อนไขต่างๆ เช่นการส่งผ่านไปในพื้นที่บรรยากาศของโลก โดยงานหนึ่งที่สามารถนำคลื่นแม่เหล็กไฟฟ้ามาใช้ประโยชน์ได้อย่างเต็มที่ก็คืองานทางด้านการศึกษาการสื่อสารระบบโทรคมนาคม ซึ่งในบรรดานักวิทยาศาสตร์ที่ผลงาน มีผลต่อด้านการศึกษาการสื่อสารคือ ไฮน์ริค รูดอล์ฟ เฮอร์ตซ์ (Heinrich Rudolph Hertz) ได้ทำการทดลองพิสูจน์ทฤษฎีของแมกเวลล์เป็นผลสำเร็จแสดงให้เห็นว่าคลื่นแม่เหล็กไฟฟ้ามีการสอดแทรก(interference) การสะท้อน(reflection) และการหักเห(refraction) โดยการทดลองของเฮอร์ตซ์นับเป็นการกระตุ้นสำคัญที่ทำให้นักวิจัยสนใจที่จะนำคลื่นแม่เหล็กไฟฟ้ามาใช้ประโยชน์มากขึ้น เนื่องจากคุณสมบัติของคลื่นแม่เหล็กไฟฟ้าที่สามารถเคลื่อนที่ได้เร็วเท่ากับ 2.998×10^8 เมตรต่อวินาทีแทบเท่าความเร็วแสง จึงทำให้เกิดความสนใจที่จะนำคลื่นแม่เหล็กไฟฟ้ามาใช้ประโยชน์ในงานด้านการสื่อสารโทรคมนาคมไม่ว่าจะเป็นสื่อสารผ่านสายส่งสัญญาณหรือการสื่อสารแบบไร้สาย โดยมีการพัฒนาขึ้นส่วนวงจรและอุปกรณ์สื่อสารมากมายเพื่อที่จะสามารถส่งข้อมูลข่าวสารไปยังที่ต่างๆไปได้ไกลๆ ข้ามทวีปเช่น ระบบสื่อสารผ่านดาวเทียมนั้นก็อาศัยคลื่นแม่เหล็กไฟฟ้าในการส่งข้อมูลต่างๆ

ในอดีตที่ผ่านมาประเทศไทยได้มีการวิจัยและพัฒนาการสร้างดาวเทียมขึ้นมาใช้เอง แต่ก็ยังเป็นเพียงการนำเอาชิ้นส่วนอุปกรณ์แบบสำเร็จมาประกอบรวมกัน ซึ่งยังไม่มีการพัฒนาอุปกรณ์เหล่านั้นเป็นของตัวเองอย่างจริงจัง อีกทั้ง เทคโนโลยีเหล่านี้ล้าแล้วแต่มีราคาสูง ทำให้เป็นอุปสรรคต่อการพัฒนาเทคโนโลยีสื่อสารทางอวกาศ หากเราไม่สามารถปฏิเสธเทคโนโลยีเหล่านี้ได้ การพัฒนาเทคโนโลยีและนวัตกรรมบางอย่างเท่าที่ทำได้จึงมีความจำเป็นอย่างยิ่ง เพื่อการลดการพึ่งพาเทคโนโลยีจากต่างชาติ ทางผู้วิจัยจึงมองเห็นความสำคัญที่จะต้องมีการพัฒนาอุปกรณ์เหล่านั้น ซึ่งเบื้องต้นจะมุ่งเน้นไปที่การออกแบบวงจรสังเคราะห์ความถี่(frequency synthesizer) ซึ่งเป็นวงจรที่สำคัญมากในเทคโนโลยีอวกาศ ไม่ว่าจะในตัวดาวเทียมเองหรือแม้กระทั่งสถานีภาคพื้นดินยังต้องใช้วงจรสังเคราะห์ความถี่

วงจрсังเคราะห์ความถี่ใช้กับเทคโนโลยีอวกาศจะต้องเป็นวงจรที่ความแม่นยำสูงและมีสัญญาณรบกวนต่ำ จึงทำอุปกรณ์เหล่านี้มีราคาสูง ดังนั้นทางผู้วิจัยจึงได้เสนองานวิจัยเพื่อทำการศึกษาและออกแบบเครื่องสังเคราะห์ความถี่แบบสามลูปย่านความถี่ เอ็กซ์-แบนด์(X-Band) สำหรับระบบสื่อสารผ่านดาวเทียม ซึ่งภายในเครื่องสังเคราะห์ความถี่จะใช้เทคนิควงจรเฟสล็อกคู่ด้วยกันสามลูปโดยจะสามารถทำให้เฟสน้อยต่ำ (low phase noise) และมีความถี่มีความเที่ยงตรงสูง หากสามารถวิจัยและพัฒนาอุปกรณ์เหล่านี้เองได้จะทำให้ออกแบบดาวเทียมได้โดยไม่ต้องพึ่งพาอุปกรณ์จากต่างประเทศ ลดต้นทุนการผลิตและส่งเสริมให้มีการพัฒนาเทคโนโลยีอวกาศไปอีกขั้น เพื่อที่อนาคตประเทศไทยสามารถประกอบดาวเทียมรวมไปถึงสถานีภาคพื้นดินได้เองในประเทศ



ภาพที่ 1 ตัวอย่างอุปกรณ์สังเคราะห์ความถี่(frequency synthesizer)

1.2 วัตถุประสงค์ของการวิจัย

- เพื่อนำเสนอเทคนิคการออกแบบเครื่องสังเคราะห์ความถี่แบบสามลูปย่านความถี่ เอ็กซ์-แบนด์
- เพื่อเป็นเครื่องต้นแบบราคาถูกในการผลิตให้กับภาคอุตสาหกรรมภายในประเทศ
- เพื่อถ่ายทอดเทคโนโลยีและพัฒนาต่อยอดเทคโนโลยีอวกาศ ในส่วนอื่นๆให้กับภาคอุตสาหกรรมให้เป็นเทคโนโลยีของตนเองและพร้อมต่อยอดเทคโนโลยีนั้นไปสู่ผลิตภัณฑ์อื่นๆ
- พัฒนาศักยภาพของนักวิจัยภายในประเทศให้มีขีดความสามารถในการแข่งขันทางด้านเทคโนโลยีอวกาศ
- สร้างเครือข่ายการวิจัยร่วมกัน ทำให้เกิดการบูรณาการอย่างครบวงจร เพื่อการพัฒนาการวิจัยที่ยั่งยืน และถ่ายทอดองค์ความรู้ให้กับนักศึกษาสาขาวิชาวิศวกรรมโทรคมนาคม

1.3 ขอบเขตการวิจัย

โครงการนี้เป็นการวิจัยและพัฒนาเทคนิคการออกแบบเครื่องส่งเคราะห์ความถี่แบบสามลูปย่านความถี่ เอ็กซ์-แบนด์ มีรายละเอียดดังนี้

- ช่วงความถี่ 6.8 – 7.8 GHz
- Frequency step size: 100kHz
- Frequency stability and accuracy : 1PPM
- Low Phase noise
- Power out (min.):10dBm
- Harmonics (typ.): -20dBm
- Output impedance : 50 Ohm

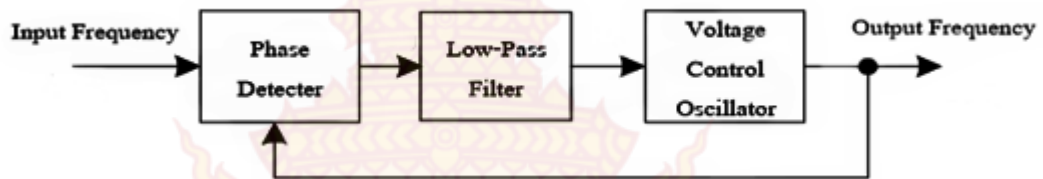
1.4 ประโยชน์ที่คาดว่าจะได้รับ

- ได้วงจรต้นแบบซึ่งสามารถผลิตขึ้นได้เองภายในประเทศ ทำให้ราคาต่อหน่วยถูกลง ลดการนำเข้าจากต่างประเทศ
- สามารถนำองค์ความรู้ที่พัฒนาขึ้นมาและประสบการณ์ที่ได้รับจากโครงการไปออกแบบพัฒนาให้ใช้งานในย่านความถี่อื่น
- ได้นักศึกษาที่มีความรู้จริง มีความสามารถ มีประสบการณ์ในการออกแบบวงจรในระบบสื่อสารความถี่สูง พร้อมที่จะนำความรู้ไปใช้ได้อย่างถูกต้อง
- การนำไปใช้สำหรับหน่วยงานภาคเอกชน
- ลดการพึ่งพาเทคโนโลยีจากต่างประเทศ เพราะสามารถใช้องค์ความรู้ของนักวิจัยไทยที่วิจัยและสร้างขึ้นได้เองได้ภายในประเทศ
- ผลิตนักศึกษาที่จบการศึกษาในระดับตรีอย่างน้อย 2 คน ในสาขาวิศวกรรมโทรคมนาคม คณะวิศวกรรมศาสตร์ มหาวิทยาลัยเทคโนโลยีราชมงคลรัตนโกสินทร์

บทที่ 2

ทบทวนวรรณกรรมที่เกี่ยวข้อง / ทฤษฎีที่เกี่ยวข้อง

2.1 ทฤษฎีที่เกี่ยวข้อง



ภาพที่ 2.1 บล็อกไดอะแกรมของเฟสล็อกกลูป

เฟสล็อกกลูปเป็นระบบป้อนกลับที่บังคับให้วงจรออสซิลเลเตอร์มีความถี่หรือเฟสเปลี่ยนแปลงไปตามความถี่หรือเฟสของสัญญาณอ้างอิงภายนอก จะประกอบไปด้วยองค์ประกอบหลักๆด้วยกัน 3 ตัวด้วยกันคือ วงจรเปรียบเทียบเฟส (Phase Detector) วงจรกรองความถี่ลู่หรือวงจรกรองความถี่ต่ำผ่าน (low pass filter) วงจรกำเนิดสัญญาณควบคุมด้วยแรงดัน (voltage controlled oscillator)

วงจรตรวจจับเฟสหรือวงจรเปรียบเทียบเฟส (phase detector) มีหน้าที่เปรียบเทียบความแตกต่างของเฟสระหว่างเฟส 1 และเฟส 2 ให้กำเนิดแรงดันคลาดเคลื่อน (error voltage) ออกมาทางเอาต์พุต

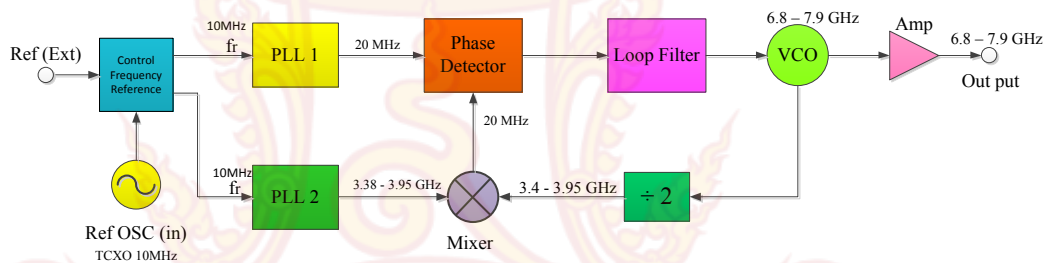
วงจรกรองความถี่ลู่หรือวงจรกรองความถี่ต่ำผ่าน (low pass filter) ทำหน้าที่กำจัดส่วนประกอบทางไฟฟ้าสลับที่ปะปนมากับแรงดันคลาดเคลื่อน และปล่อยให้ส่วนประกอบทางไฟตรงของแรงคลาดเคลื่อน ผ่านไปยังเอาต์พุต

วงจรกำเนิดสัญญาณควบคุมด้วยแรงดัน (voltage controlled oscillator VCO) โดยความถี่ของวงจรกำเนิดสัญญาณควบคุมด้วยแรงดัน จะเปลี่ยนไปตามแรงดันทางอินพุต ดังนั้นเมื่อแรงดันทางอินพุตเปลี่ยนไปก็จะมีผลทำให้ความถี่ของวงจรกำเนิดสัญญาณควบคุมด้วยแรงดันเปลี่ยนแปลงตามไปด้วยในระบบเฟสล็อกกลูปขนาดของแรงดันคลาดเคลื่อนที่ได้จากภาคตรวจจับเฟสจะแปรผันเป็นสัดส่วนโดยตรงกับผลต่างของความถี่และเฟส แรงคลาดเคลื่อนนี้จะไปควบคุมให้การเปลี่ยนแปลงของความถี่ของวงจรกำเนิดสัญญาณควบคุมด้วยแรงดัน เป็นไปในทิศทางที่ทำให้ผลต่าง

ของความถี่มีขนาดเล็กลง นั่นคือความถี่เอาต์พุตจะเข้าใกล้ความถี่อินพุตมากขึ้น เราเรียกภาวะของลูป ในขณะที่วงจรกำเนิดสัญญาณควบคุมด้วยแรงดันเริ่มเปลี่ยนความถี่เอาต์พุตว่าสถานะแคปเจอร์ (capture state)” เมื่อความถี่เอาต์พุตมีค่าเท่ากับความถี่อินพุต การเปลี่ยนแปลงของเอาต์พุตก็จะ สิ้นสุดลง เราเรียกภาวะนี้ว่า เฟสล็อก (phase locked)

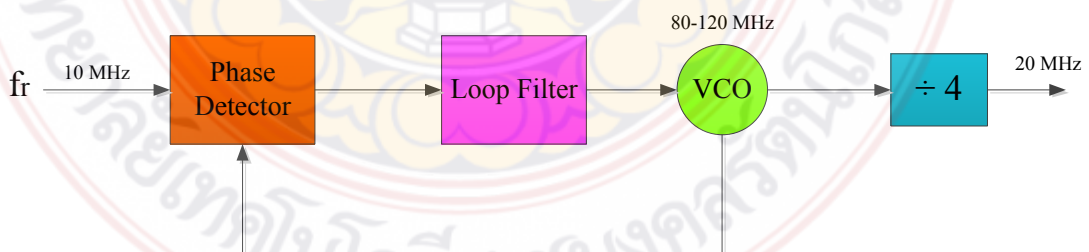
2.1 หลักการทำงาน

หลักการทำงานเครื่องสังเคราะห์ความถี่แบบสามลูปย่านความถี่เอ็กซ์แบนด์ โดยเครื่องสังเคราะห์ความถี่ที่นำเสนอจะมีวงจรเฟสล็อกลูป(phase locked loop) สามลูป แสดงดังรูปที่ 2

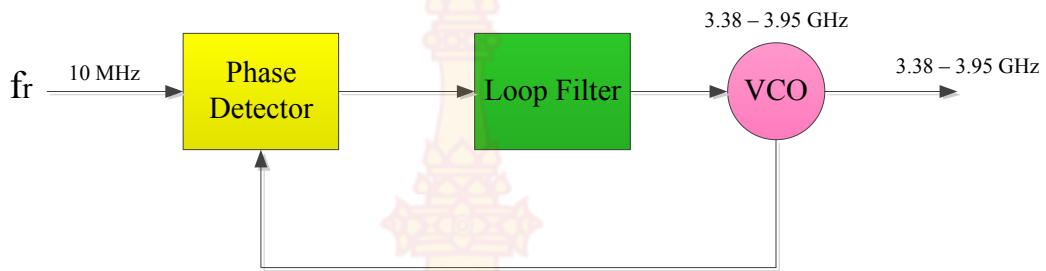


ภาพที่ 2.2 บล็อกไดอะแกรมแสดงการทำงานของเครื่องสังเคราะห์ความถี่ย่าน เอ็กซ์-แบนด์

จากภาพที่ 2.2 แสดงการทำงานของเครื่องสังเคราะห์ความถี่โดยความถี่อ้างอิง (Reference frequency) เป็นสัญญาณที่ใช้เป็นสัญญาณอ้างอิงให้ตัวเครื่องสังเคราะห์ความถี่ซึ่งความถี่อ้างอิงสามารถใช้จากภายนอก (Ref (Ext)) หรือภายใน(Ref OSC) ก็ได้ สัญญาณที่ใช้อ้างอิงมีความถี่ 10 MHz สัญญาณอ้างอิงจะถูกแบ่งไปควบคุมเฟสล็อกลูปตัวที่ 1 (PLL1) และเฟสล็อกลูปตัวที่ 2 (PLL2) โดย PLL1 จะสร้างสัญญาณ 20 MHz ไดอะแกรมการทำงานของ PLL1 แสดงดังภาพที่ 2. 3 และ PLL2 จะสร้างสัญญาณ 3.38-3.93 GHz แสดงดังภาพที่ 2.4

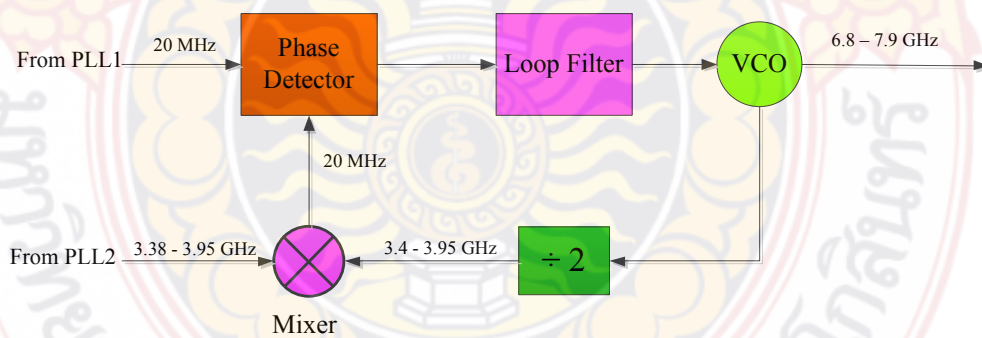


ภาพที่ 2.3 บล็อกไดอะแกรมแสดงการทำงานของเฟสล็อกลูปตัวที่ 1 (PLL1)



ภาพที่ 2.4 บล็อกไดอะแกรมแสดงการทำงานของเฟสล็อกลูปตัวที่ 2 (PLL2)

ในส่วนเฟสล็อกลูปตัวที่ 3 แสดงดังภาพที่ 2. 5 โดยวงจรถ่ายความถี่สัญญาณควบคุมด้วยแรงดัน (VCO :voltage control oscillator) จะสร้างความถี่ $6.8 - 7.9 \text{ GHz}$ ส่วนหนึ่งจะออกไปทางเอาต์พุต และอีกส่วนหนึ่งจะนำมาใช้ในการควบคุมความถี่ โดยที่มีหลักการการทำงานคือ นำสัญญาณส่วนหนึ่งมาหารสอง จะได้ความถี่ $3.4-3.95 \text{ GHz}$ จากนั้นนำสัญญาณที่ได้ มาผสมกับสัญญาณที่ได้จากวงจร PLL2 จากการผสมสัญญาณแบบ Down converter จะได้สัญญาณอยู่ในช่วง 20 MHz ไดอะแกรมการทำงานแสดงดังภาพที่ 2.5 จากนั้นนำสัญญาณที่ได้มาเปรียบเทียบกับเฟสของสัญญาณกับสัญญาณที่ได้จาก PLL1 นำสัญญาณที่ได้จากขั้นตอนดังกล่าวไปควบคุมวงจรถ่ายความถี่สัญญาณควบคุมด้วยแรงดัน



ภาพที่ 2.5 บล็อกไดอะแกรมแสดงการทำงานของเฟสล็อกลูปตัวที่ 3

บทที่ 3

ระเบียบวิธีการวิจัย

โครงการวิจัยนี้เป็นการเอาความเชี่ยวชาญของนักวิจัยมารวมกัน เพื่อทำงานค้นคว้าวิจัยและออกแบบเครื่องส่งเคราะห์ความถี่แบบสามลูปย่านความถี่เอ็กซ์แบนด์สำหรับระบบสื่อสารผ่านดาวเทียมได้โดยจะใช้ระเบียบการดำเนินการวิจัย 7 ขั้นตอน

ขั้นตอนที่ 1 ทบทวนเอกสาร (literature review) เป็นการรวบรวม ศึกษา วิเคราะห์ และทบทวนบทความวิจัยและงานวิจัยที่เกี่ยวข้องระดับประเทศและในประเทศ

ขั้นตอนที่ 2 จัดทำข้อกำหนด (specification) ในการออกแบบและพัฒนา เพื่อศึกษาถึงการประยุกต์ใช้งานให้เหมาะสม กับเทคโนโลยีโทรศัพท์เคลื่อนที่ปัจจุบันและรองรับระบบในอนาคต

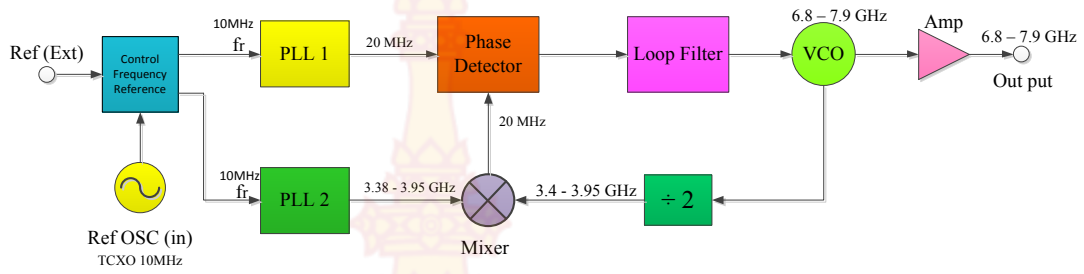
ขั้นตอนที่ 3 ทำการออกแบบและพัฒนา (design and development) เชิงทฤษฎี โดยนำความรู้และ และข้อกำหนดที่ศึกษามาพัฒนาสังเคราะห์ออกแบบเครื่องต้นแบบ ให้ได้คุณสมบัติโดยรวมของวงจรที่ดี

ขั้นตอนที่ 4 นำวงจรต้นแบบมาทดสอบประสิทธิภาพการทำงานของเครื่องในห้องปฏิบัติการ เพื่อจัดเก็บข้อมูลและวิเคราะห์ข้อมูลยืนยันความน่าเชื่อถือของทฤษฎีในทางปฏิบัติของวงจรต้นแบบที่ได้

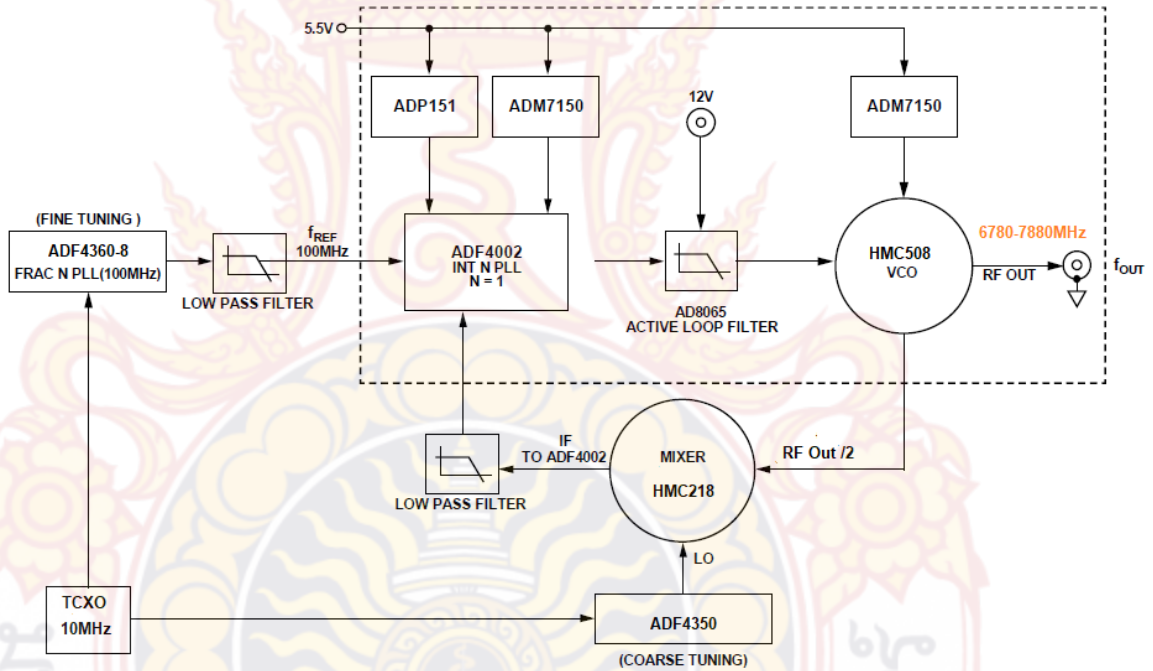
ขั้นตอนที่ 5 ทดสอบเครื่องต้นแบบในภาคสนาม (Field Test)

ขั้นตอนที่ 6 เผยแพร่ผลงานในวารสารเทคโนโลยีและจัดสัมมนาเผยแพร่องค์ความรู้แก่นักศึกษา

ขั้นตอนที่ 7 สรุปผลการวิจัย และเขียนรายงาน



ภาพที่ 3.1 บล็อกไดอะแกรมแสดงการทำงานของเครื่องสังเคราะห์ความถี่ย่าน เอ็กซ์-แบนด์

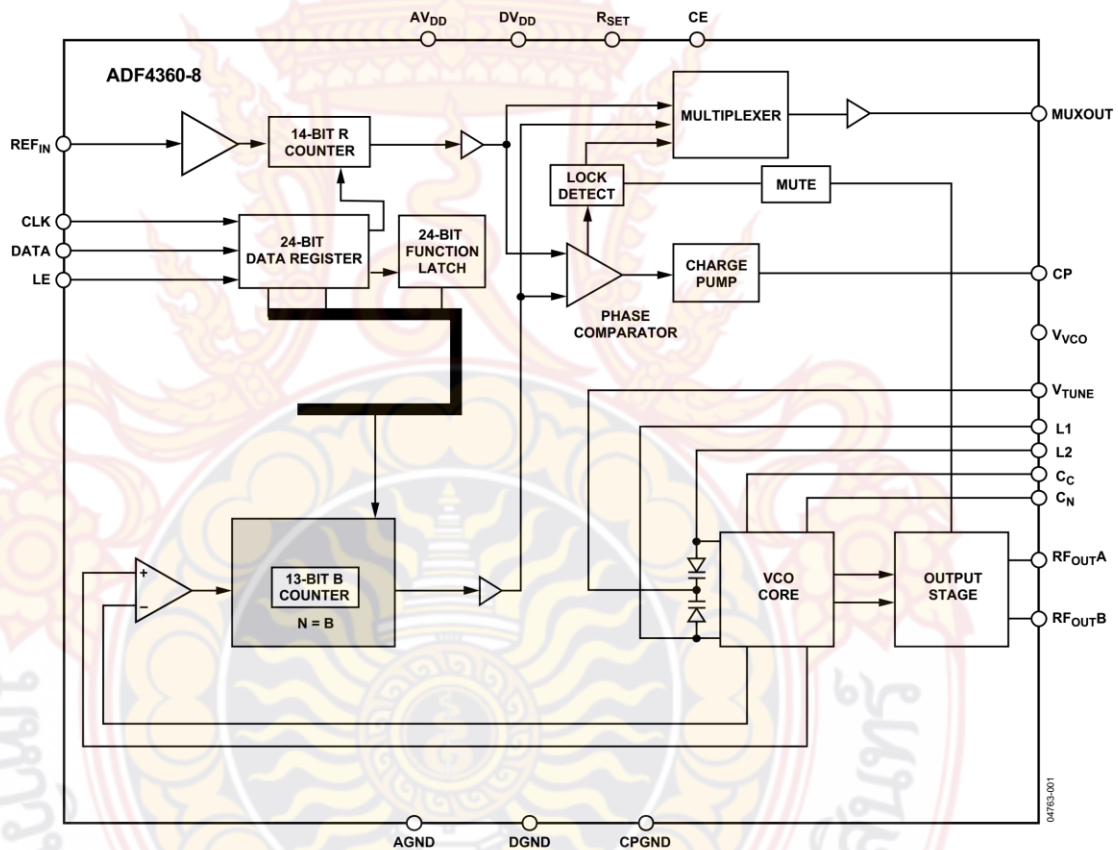


ภาพที่ 3.2 วงจรแสดงการทำงานของเครื่องสังเคราะห์ความถี่ย่าน เอ็กซ์-แบนด์

3.1 วงจรเฟสล็อกกัปตัวที่ 1 (PLL1)

โครงการนี้จึงเลือกใช้ ไอซี เบอร์ ADF4360-8 ของบริษัท ANALOG DEVICES ซึ่งมีคุณสมบัติทางอิเล็กทรอนิกส์ดังนี้

- ความต้านทานทางเอาต์พุต 50 ohm
- ใช้แรงดันไฟฟ้าเลี้ยง 3.0 V ถึง 3.6 V
- สามารถใช้งานช่วงความถี่ 65 MHz ถึง 400 MHz

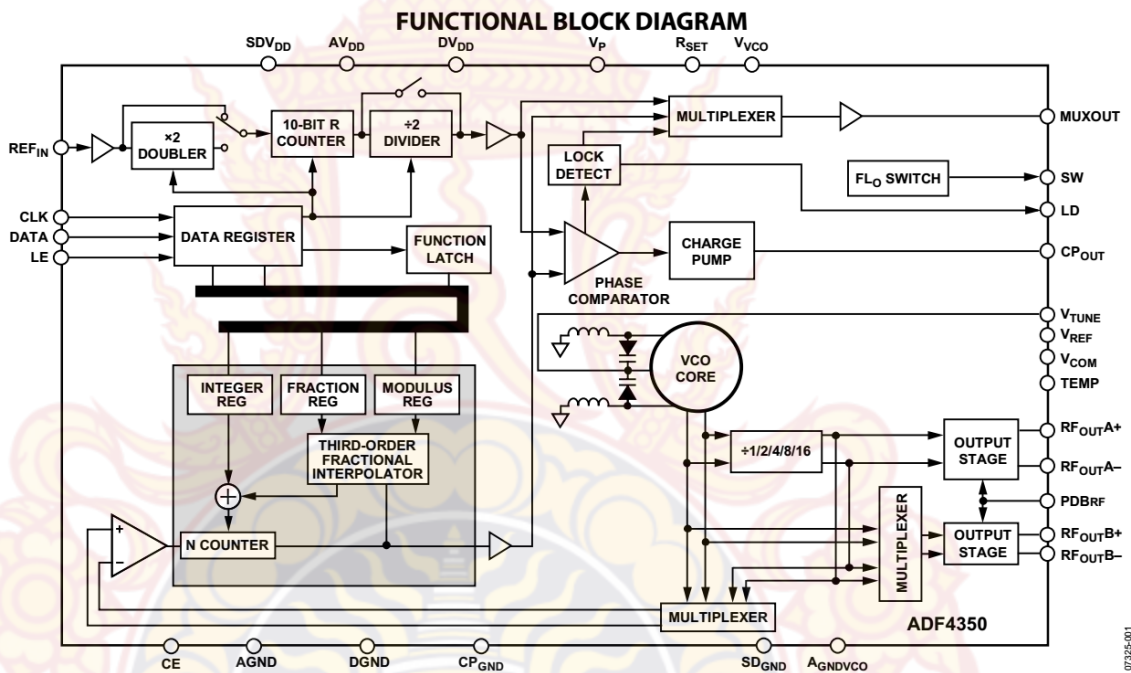


ภาพที่ 3.3 บล็อกไดอะแกรมแสดงการทำงานของเฟสล็อกกัปตัวที่ 1 (PLL1)

3.2 วงจรเฟสล็อกคู่ตัวที่ 2 (PLL2)

โครงการนี้จะเลือกใช้ ไอซี เบอร์ ADF4350 ของบริษัท ANALOG DEVICES ซึ่งมีคุณสมบัติทางอิเล็กทรอนิกส์ดังนี้

- ความต้านทานทางเอาต์พุต 50 ohm
- ใช้แรงดันไฟฟ้าเลี้ยง 3.0 V ถึง 3.6 V
- สามารถใช้งานช่วงความถี่ 137.5 MHz ถึง 4400 MHz

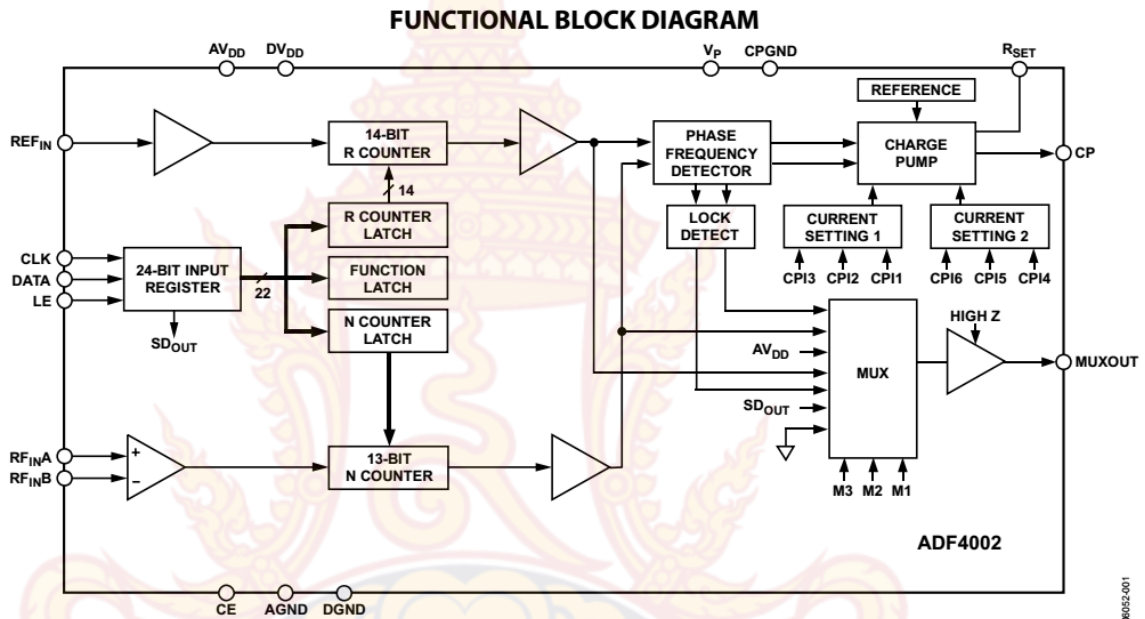


ภาพที่ 3.4 บล็อกไดอะแกรมแสดงการทำงานของเฟสล็อกคู่ตัวที่ 2 (PLL2)

3.3 วงจรตรวจจับเฟสหรือวงจรเปรียบเทียบเฟส (phase detector)

วงจรตรวจจับเฟสหรือวงจรเปรียบเทียบเฟส (phase detector) มีหน้าที่เปรียบเทียบความแตกต่างของเฟสระหว่างเฟส 1 และเฟส 2 ให้กำเนิดแรงดันคลาดเคลื่อน(error voltage) ออกมาทางเอาต์พุตโครงการนี้จะเลือกใช้ ไอซี เบอร์ ADF4002 ของบริษัท ANALOG DEVICES ซึ่งมีคุณสมบัติทางอิเล็กทรอนิกส์ดังนี้

- ความต้านทานทางเอาต์พุต 50 ohm
- ใช้แรงดันไฟฟ้าเลี้ยง 2.7 V ถึง 3.3 V
- แบนด์วิดท์ 400 MHz



ภาพที่ 3.5 บล็อกไดอะแกรมแสดงการทำงานของวงจรเปรียบเทียบเฟส

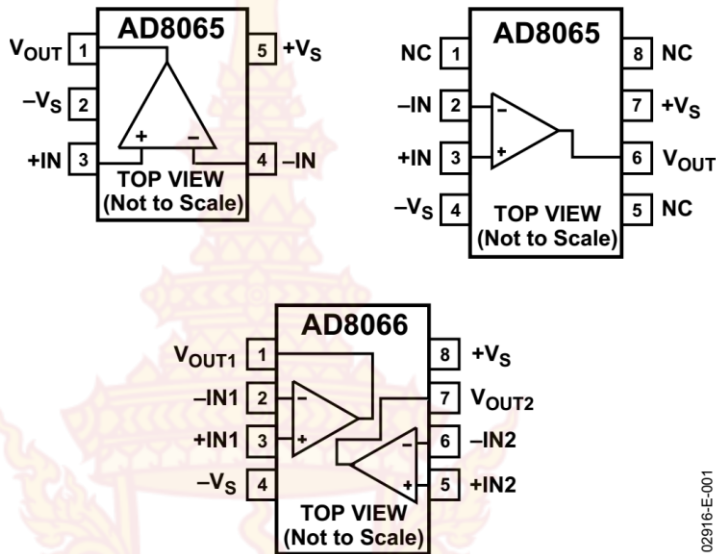
3.4 วงจรรองความถี่สูงหรือวงจรรองความถี่ต่ำผ่าน (low pass filter)

วงจรรองความถี่สูงหรือวงจรรองความถี่ต่ำผ่าน (low pass filter) ทำหน้าที่กำจัดส่วนประกอบทางไฟฟ้าสลับที่ปะปนมากับแรงดันคลาดเคลื่อน และปล่อยให้ส่วนประกอบทางไฟตรงของแรงคลาดเคลื่อน ผ่านไปยังเอาต์พุต

โครงการนี้จะเลือกใช้ ไอซี เบอร์ AD8065 ของบริษัท ANALOG DEVICES ซึ่งมีคุณสมบัติทางอิเล็กทรอนิกส์ดังนี้

- ความต้านทานทางเอาต์พุต 50 ohm
- ใช้แรงดันไฟฟ้าเลี้ยง 5 V
- ความถี่ 145 MHz

CONNECTION DIAGRAMS

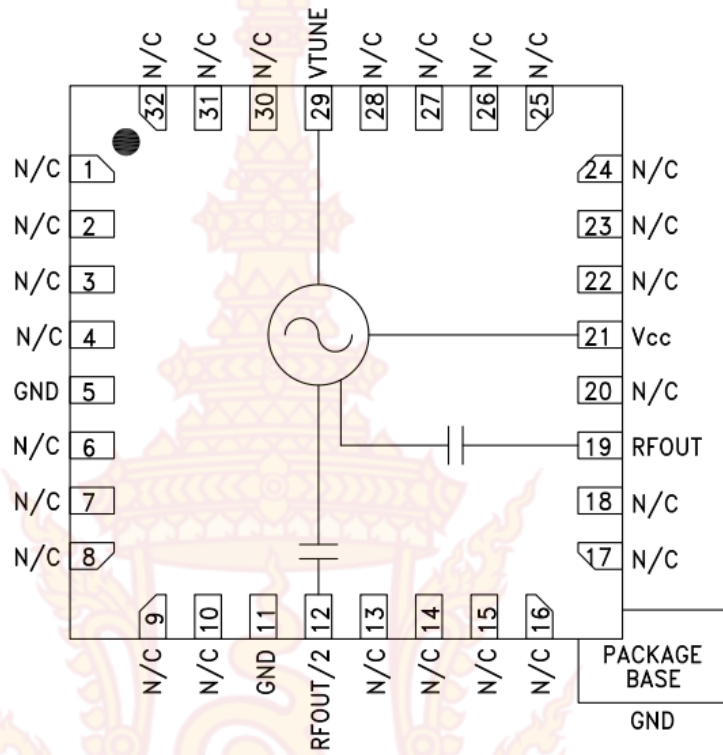


ภาพที่ 3.6 บล็อกไดอะแกรมแสดงอุปกรณ์วงจรความถี่สูง

3.4 วงจรกำเนิดสัญญาณควบคุมด้วยแรงดัน (voltage controlled oscillator VCO)

วงจรถูกกำเนิดสัญญาณควบคุมด้วยแรงดัน (voltage controlled oscillator VCO) โดยความถี่ของวงจรถูกกำเนิดสัญญาณควบคุมด้วยแรงดัน จะเปลี่ยนไปตามแรงดันทางอินพุต ดังนั้นเมื่อแรงดันทางอินพุตเปลี่ยนไปก็จะมีผลทำให้ความถี่ของวงจรถูกกำเนิดสัญญาณควบคุมด้วยแรงดัน เปลี่ยนแปลงตามไปด้วยในระบบเฟสล็อกขนาดของแรงดันคลาดเคลื่อนที่ได้จากภาคตรวจจับเฟสจะแปรผันเป็นสัดส่วนโดยตรงกับผลต่างของความถี่และเฟส โครงการนี้จึงเลือกใช้ ไอซี เบอร์ HMC508 ของบริษัท ANALOG DEVICES ซึ่งมีคุณสมบัติทางอิเล็กทรอนิกส์ดังนี้

- ความต้านทานทางเอาต์พุต 50 ohm
- ใช้แรงดันไฟฟ้าเลี้ยง 5 V
- ความถี่เอาต์พุต 7.3 - 8.2 GHz และ 3.65 - 4.1 GHz
- เฟสจอยส์ -116 dBc/Hz
- กำลังงาน 15 dBm



ภาพที่ 3.7 บล็อกไดอะแกรมแสดงอุปกรณ์วงจรกำเนิดสัญญาณควบคุมด้วยแรงดัน



บทที่ 4

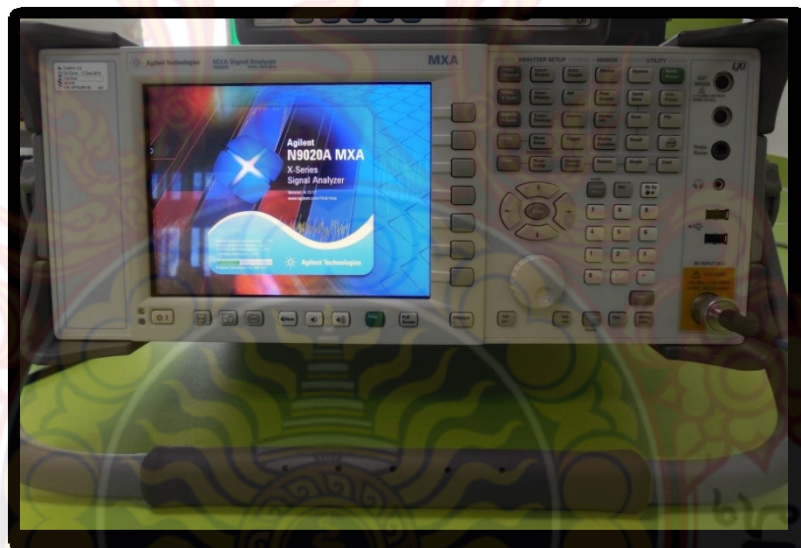
การทดสอบและวิจารณ์ผลการทดสอบ

ในบทที่ 4 เป็นการนำวงจรทั้งหมดที่ได้ทำการออกแบบและสร้างขึ้นนำมาทดสอบการทำงาน

4.1 เครื่องมือที่ใช้ในการทดสอบ

- เครื่องวิเคราะห์สเปกตรัม (Spectrum Analyzer)

เครื่องวิเคราะห์สเปกตรัมยี่ห้อ Agilent Technologies รุ่น N9020A MXA สามารถวัดความเข้มของสัญญาณได้สูงสุด 30 dBm และความถี่ได้ตั้งแต่ 10 เฮิรตซ์ ถึง 26.5 กิกะเฮิรตซ์ ใช้แสดงผลการวัดต่างๆ บนหน้าจอภาพ เพื่อตรวจสอบสัญญาณเอาต์พุตที่ออกมา ตั้งค่าการใช้งานโดยการตั้งความถี่ที่ต้องการใช้งานให้อยู่ในช่วงที่ต้องการจะวัดผลทดสอบ



ภาพที่ 4.1 เครื่องวิเคราะห์สเปกตรัม

- เครื่องกำเนิดสัญญาณ

เครื่องกำเนิดสัญญาณ (Analog Signal Generator) ยี่ห้อ Agilent รุ่น N5181A รองรับความถี่ 100 กิโลเฮิรตซ์ ถึง 3 กิกะเฮิรตซ์ เป็นเครื่องมือจ่ายสัญญาณไฟฟ้าสามารถมอดูเลตสัญญาณต่างๆได้



ภาพที่ 4.2 เครื่องกำเนิดสัญญาณ

- เครื่องจ่ายไฟเลี้ยงกระแสตรงปรับค่าได้

เครื่องจ่ายไฟเลี้ยงกระแสตรงปรับค่าได้ยี่ห้อ GWINSTEK รุ่น GPC-3030D สามารถจ่ายแรงดันไฟตรงได้ตั้งแต่ 0 โวลต์ ถึง 30 โวลต์ จ่ายกระแสได้สูงสุด 3 แอมป์



ภาพที่ 4.3 เครื่องจ่ายไฟเลี้ยงกระแสตรงปรับค่าได้

- ตัวลดทอนกำลังงาน(Attenuator)

ตัวลดทอนกำลังงาน (Attenuator) เป็นการต่อชุดลดทอนกำลังงาน ที่เครื่องมือวัดสัญญาณสเปกตรัม เพื่อป้องกันสัญญาณด้านเอาต์พุต ที่มากเกินไปจนเกินไป จึงมีความจำเป็นต้องต่อตัวลดทอนกำลังงาน เพื่อป้องกันเครื่องมือวัด ทนกำลังงานได้ 30W ลดทอน 30dB



ภาพที่ 4.4 ตัวลดทอนกำลังงาน

- สายนำสัญญาณ (RF coaxial cable)

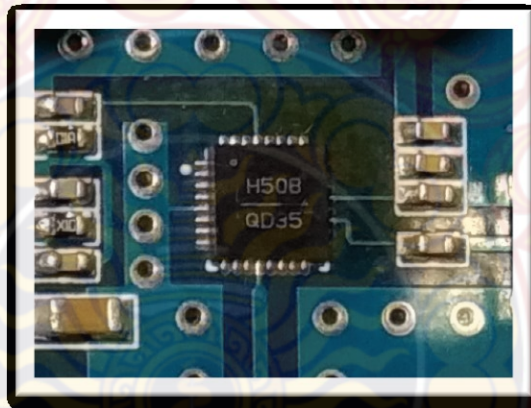
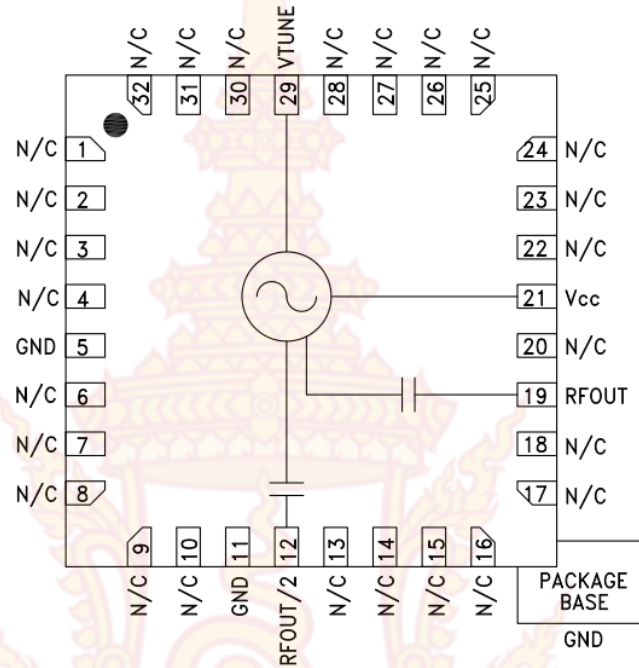
สายนำสัญญาณ เป็นอุปกรณ์ประเภทที่เป็นตัวนำและถ่ายทอดสัญญาณไปสู่อุปกรณ์ปลายทาง การ
ใช้สายนำสัญญาณจะใช้เชื่อมต่อระหว่างวงจรแต่ละภาค เข้ากับเครื่องมือที่ใช้วัดทดลอง



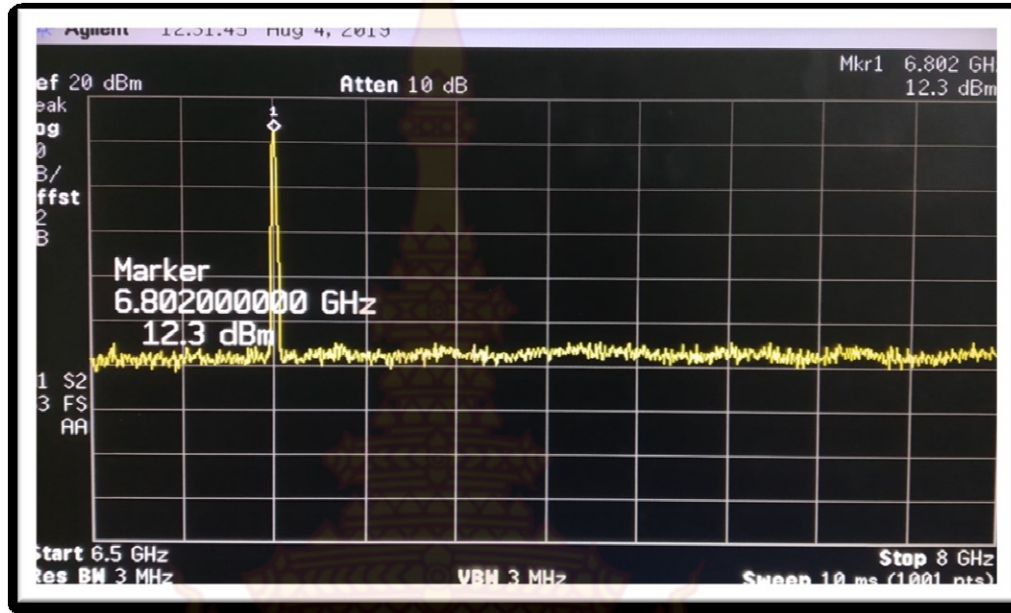
ภาพที่ 4.5 สายนำสัญญาณ

4.2 การทดสอบวงจร

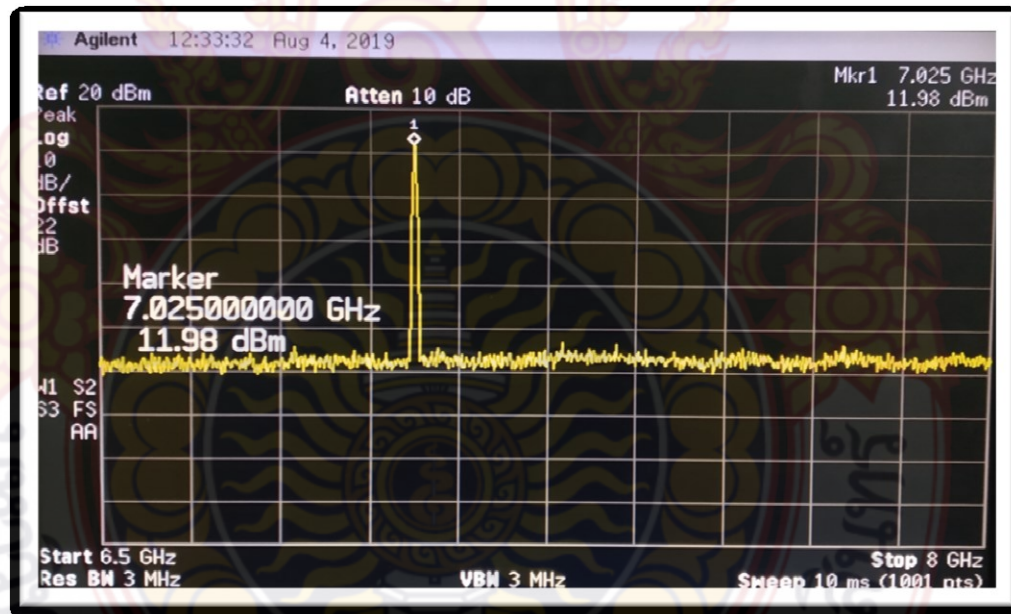
4.2.1 การทดสอบวงจรกำเนิดสัญญาณควบคุมด้วยแรงดัน



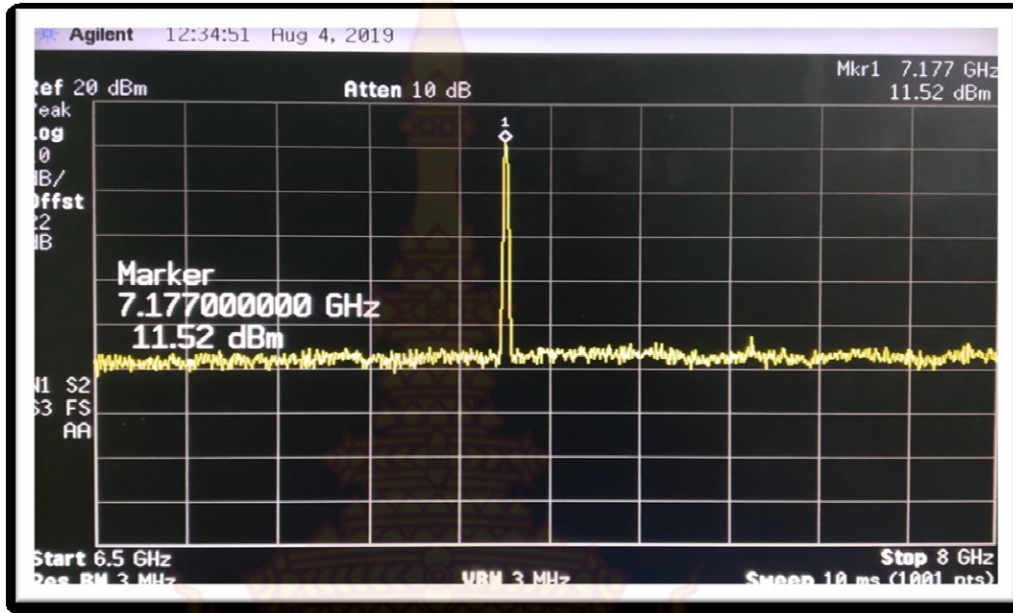
ภาพที่ 4.6 วงจรกำเนิดสัญญาณควบคุมด้วยแรงดัน ที่ใช้ในการทดสอบ



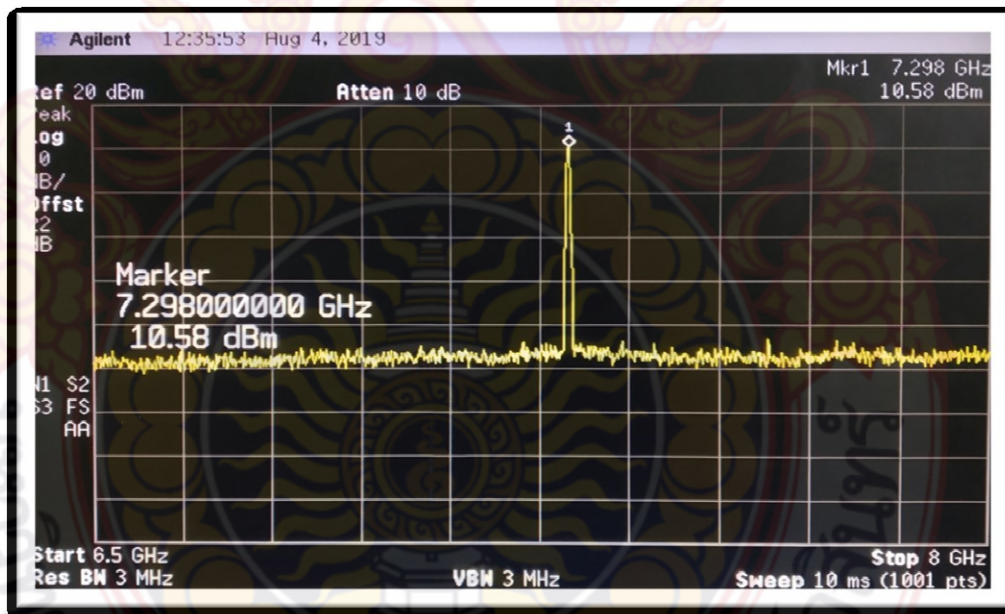
ภาพที่ 4.7 ผลการทดสอบป้อนแรงดัน 0.5 V ได้เอาต์พุตความถี่ 6.802 GHz



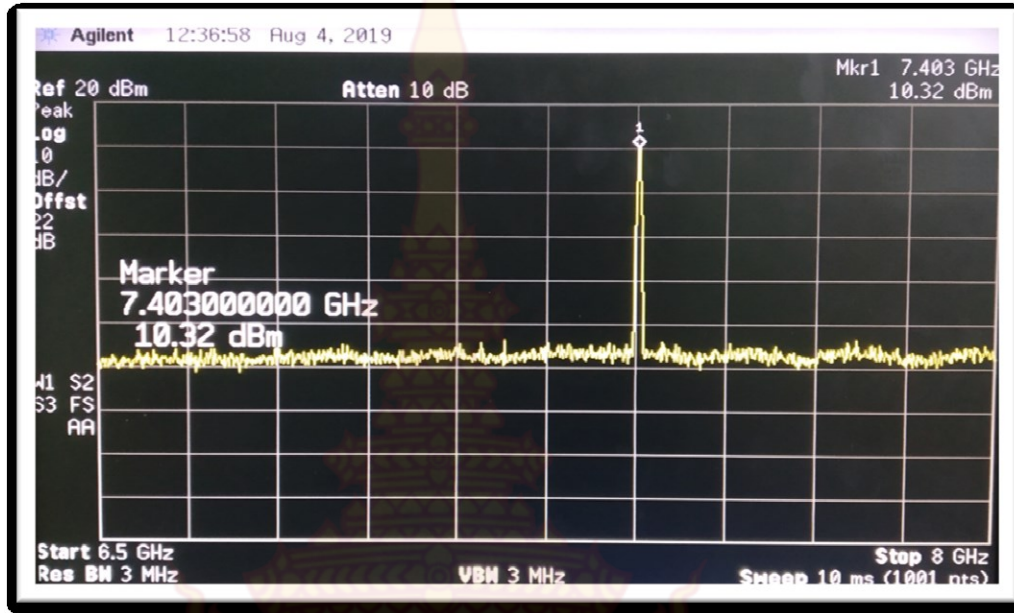
ภาพที่ 4.7 ผลการทดสอบป้อนแรงดัน 1 V ได้เอาต์พุตความถี่ 7.025 GHz



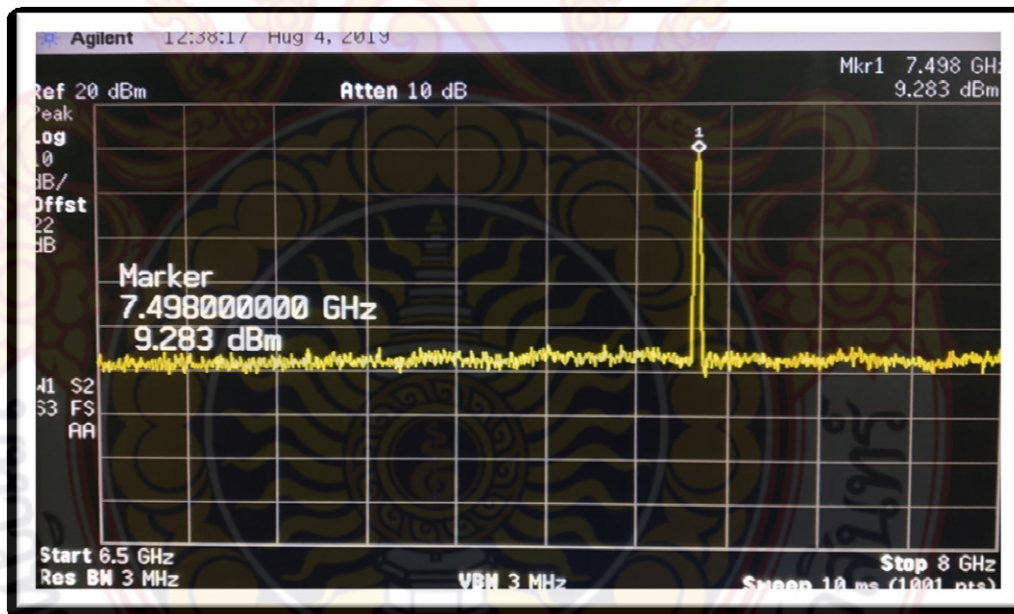
ภาพที่ 4.8 ผลการทดสอบป้อนแรงดัน 1.5 V ได้เอาต์พุตความถี่ 7.177 GHz



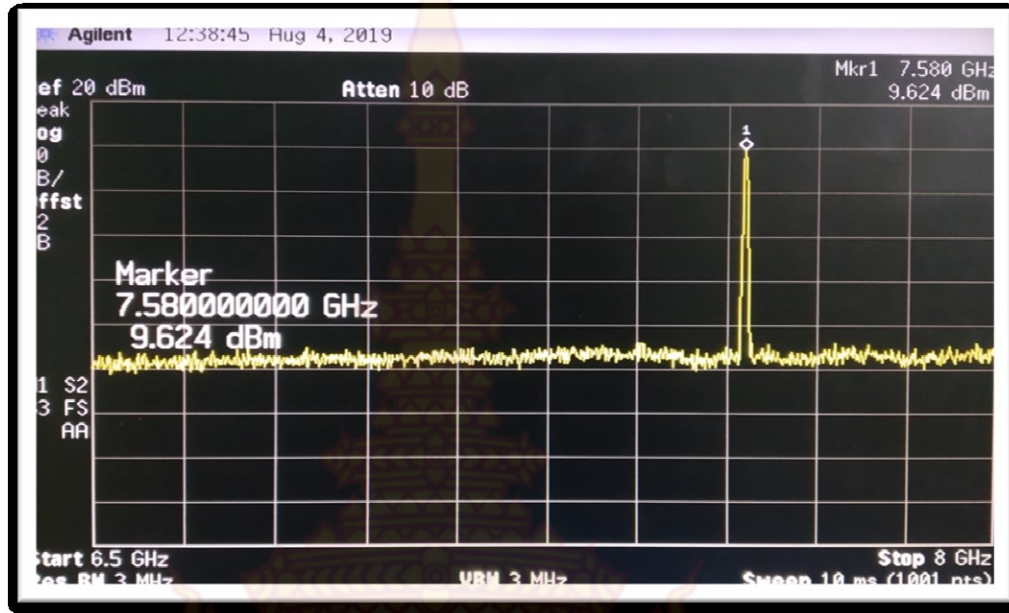
ภาพที่ 4.9 ผลการทดสอบป้อนแรงดัน 2 V ได้เอาต์พุตความถี่ 7.298 GHz



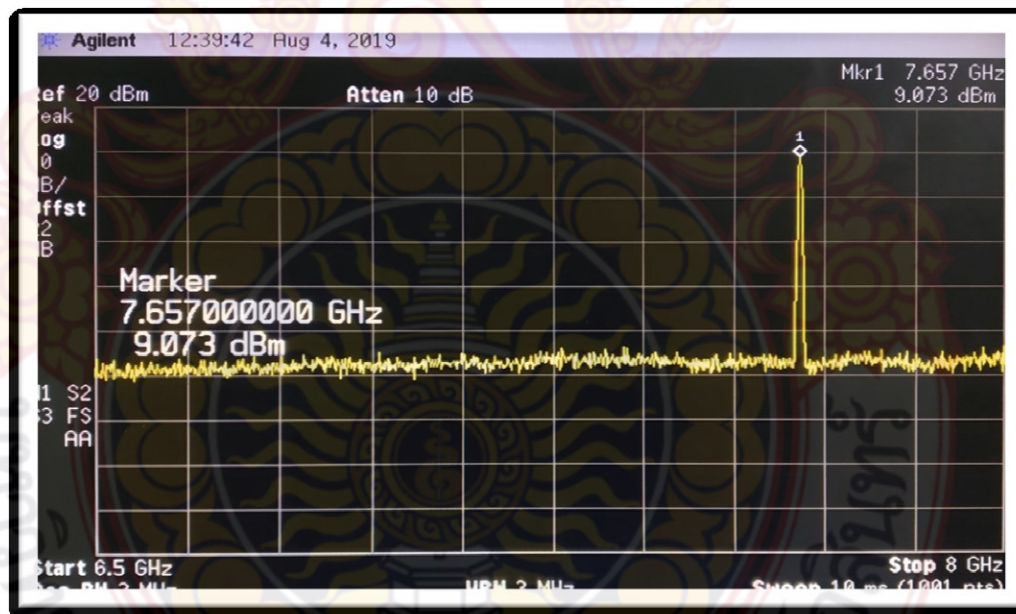
ภาพที่ 4.10 ผลการทดสอบป้อนแรงดัน 2.5 V ได้เอาต์พุตความถี่ 7.403 GHz



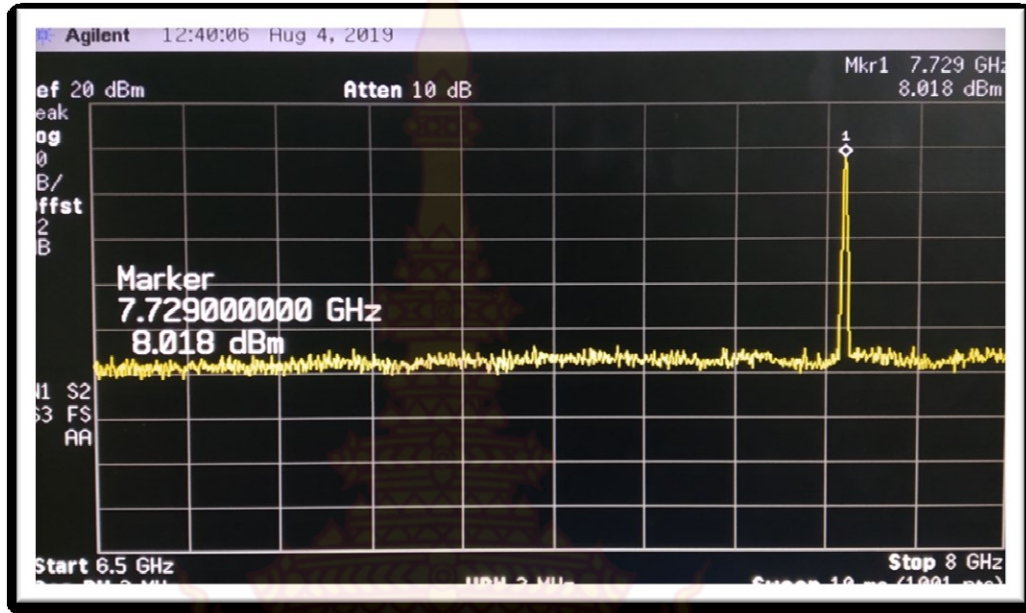
ภาพที่ 4.11 ผลการทดสอบป้อนแรงดัน 3.0 V ได้เอาต์พุตความถี่ 7.498 GHz



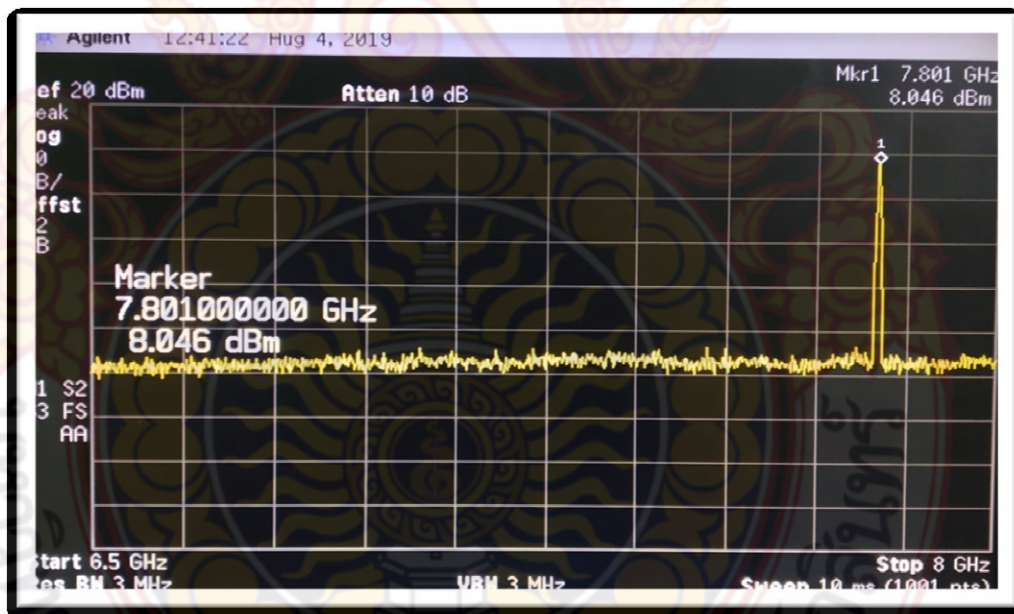
ภาพที่ 4.12 ผลการทดสอบป้อนแรงดัน 3.5 V ได้เอาต์พุตความถี่ 7.580 GHz



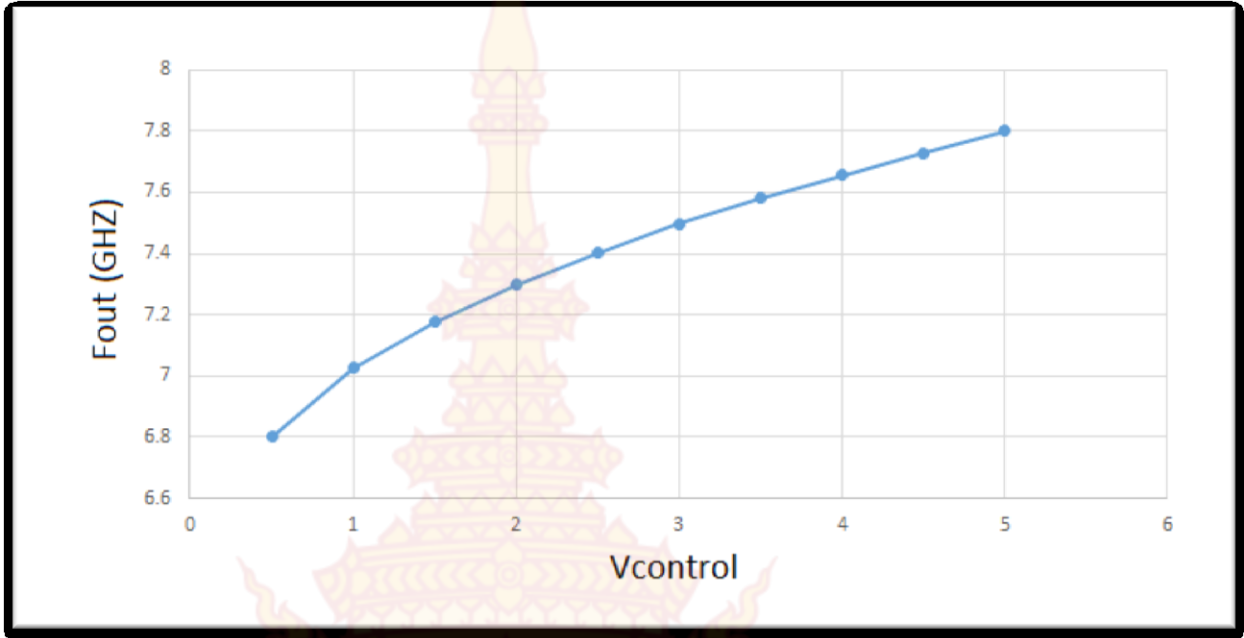
ภาพที่ 4.13 ผลการทดสอบป้อนแรงดัน 4.0 V ได้เอาต์พุตความถี่ 7.657 GHz



ภาพที่ 4.14 ผลการทดสอบป้อนแรงดัน 4.5 V ได้เอาต์พุตความถี่ 7.729 GHz

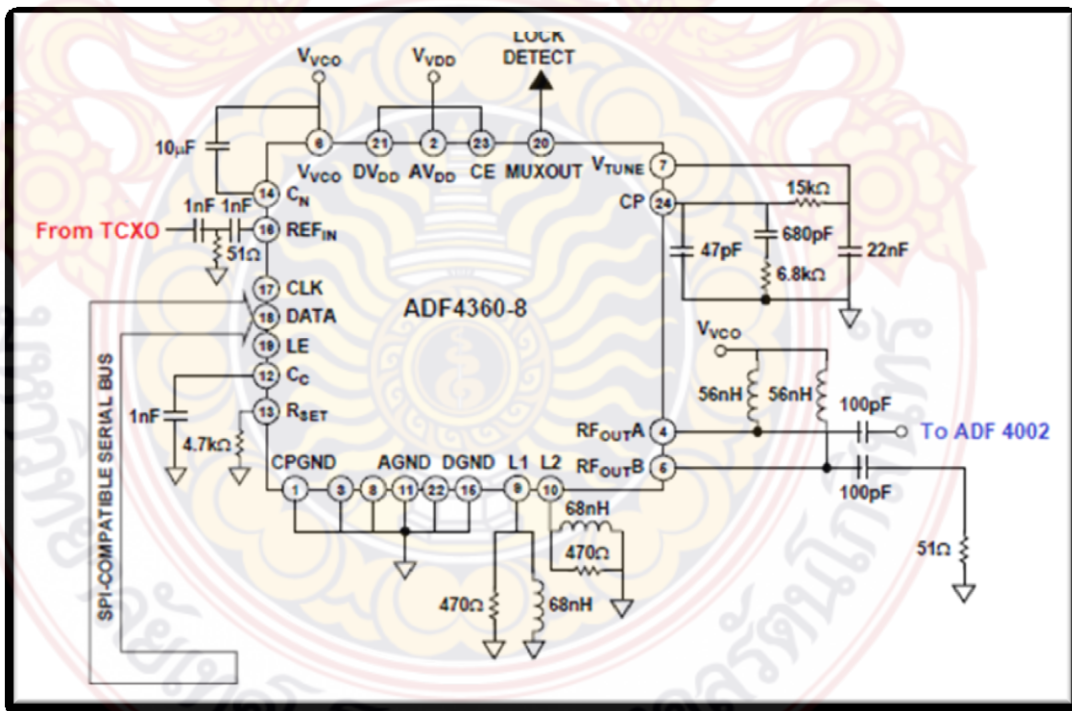


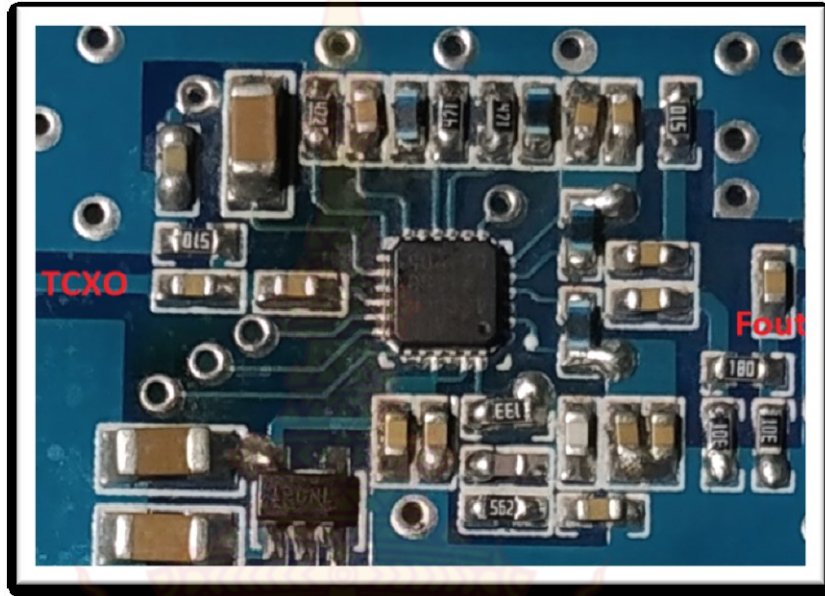
ภาพที่ 4.15 ผลการทดสอบป้อนแรงดัน 5.0 V ได้เอาต์พุตความถี่ 7.801 GHz



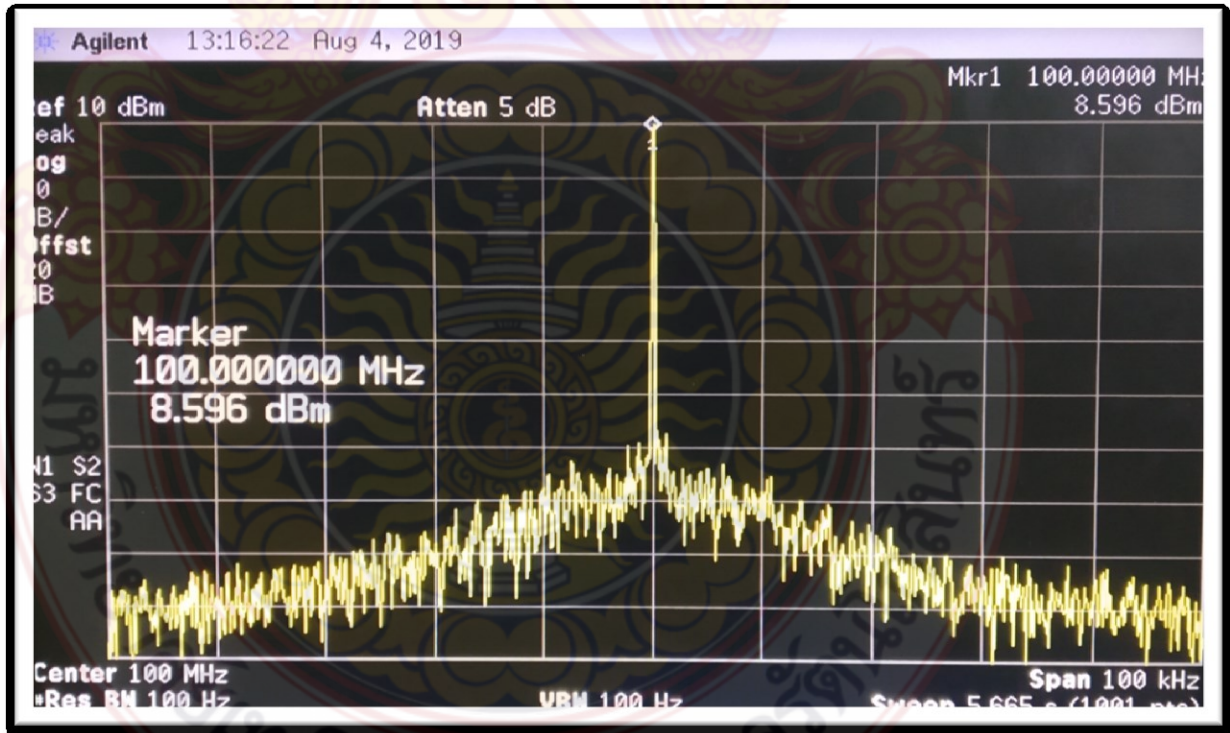
ภาพที่ 4.16 กราฟแสดงการเปลี่ยนแปลงความถี่ของวงจรถ่ายสัญญาณความถี่ด้วยแรงดัน HMC508 ที่ แรงดันต่างๆ

4.2.2 ทดสอบวงจรถ่ายสัญญาณที่ 1 (PLL1)



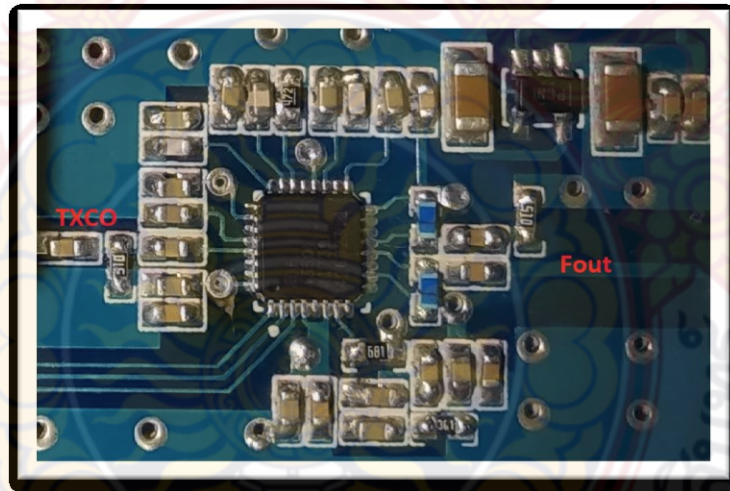
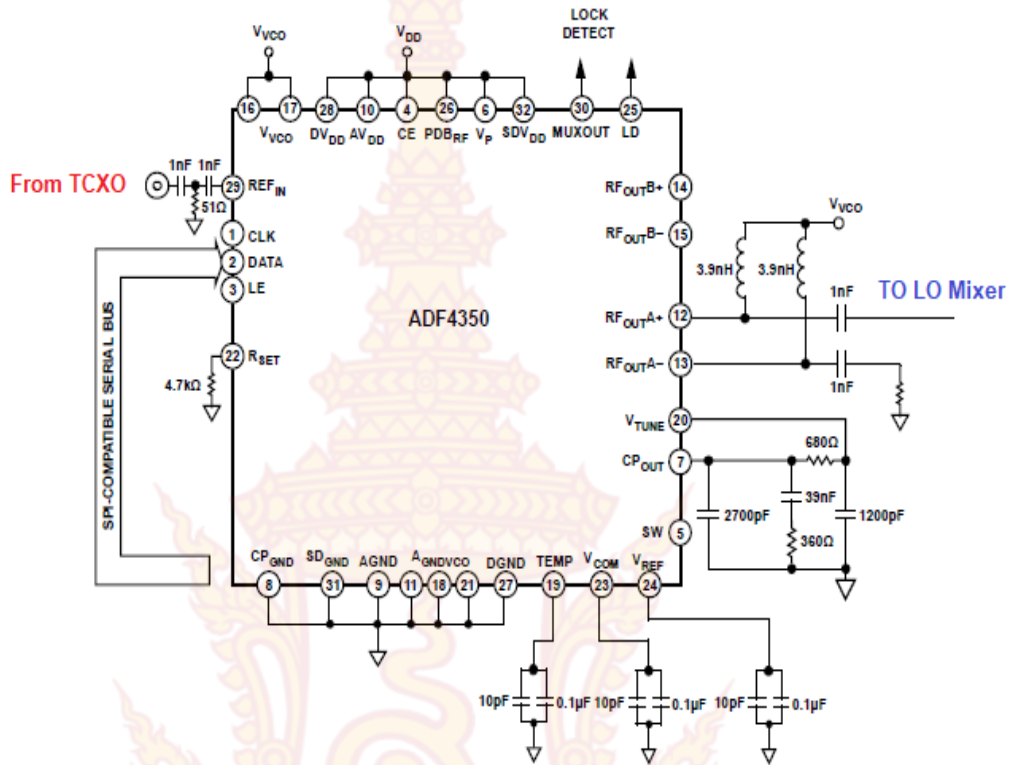


ภาพที่ 4.17 วงจรเฟสล็อกตัวที่ 1 (PLL1)ที่ใช้ในการทดสอบ

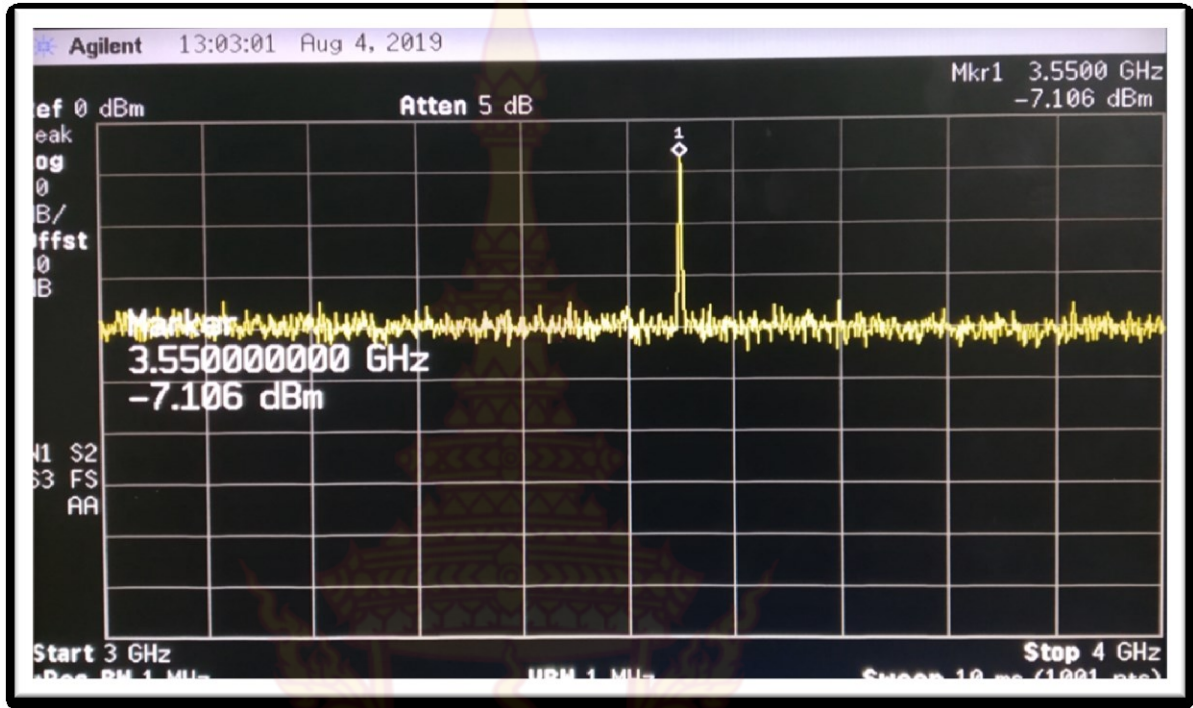


ภาพที่ 4.18 ผลการทดสอบทดสอบวงจรถ่ายเฟสล็อกตัวที่ 1 (PLL1)

4.2.3 ทดสอบวงจรเฟสล็อกกลุ่มตัวที่ 2 (PLL2)

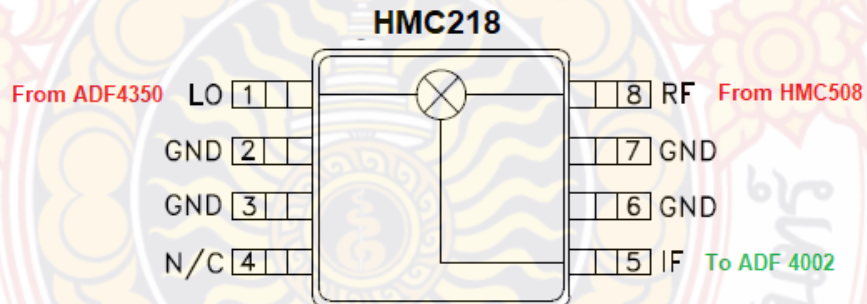


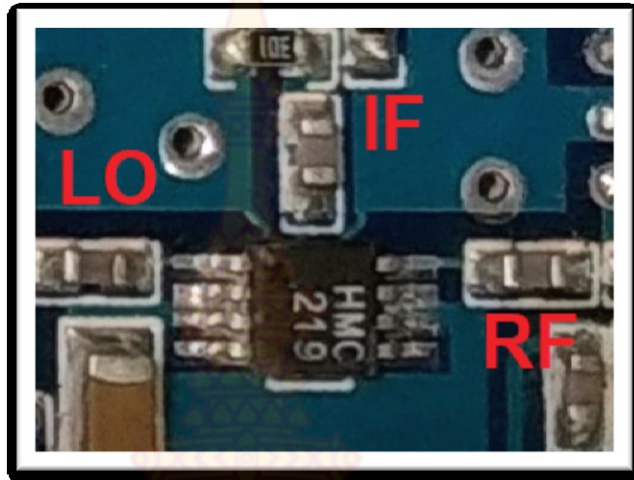
ภาพที่ 4.19 วงจรเฟสล็อกกลุ่มตัวที่ 2 (PLL2)ที่ใช้ในการทดสอบ



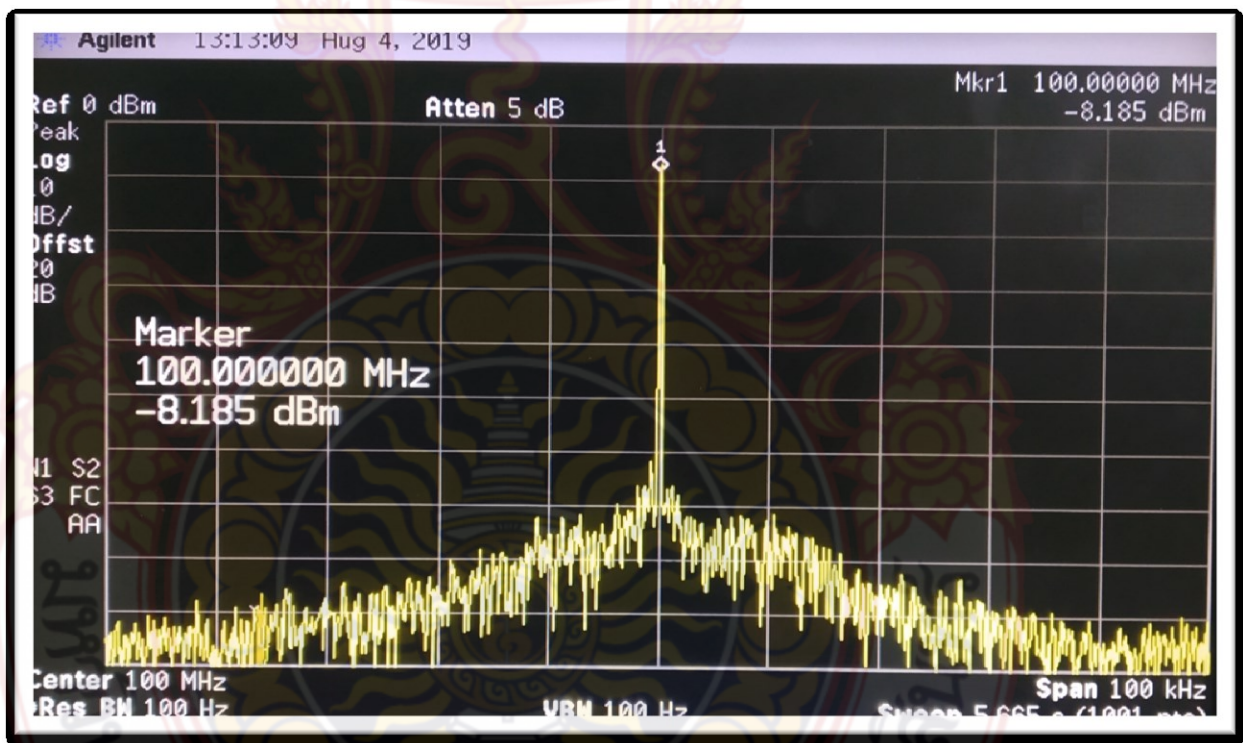
ภาพที่ 4.20 ผลการทดสอบทดสอบวงจรเฟสล็อกตัวที่ 2 (PLL2)

4.2.4 ทดสอบวงจรผสมสัญญาณ HMC218



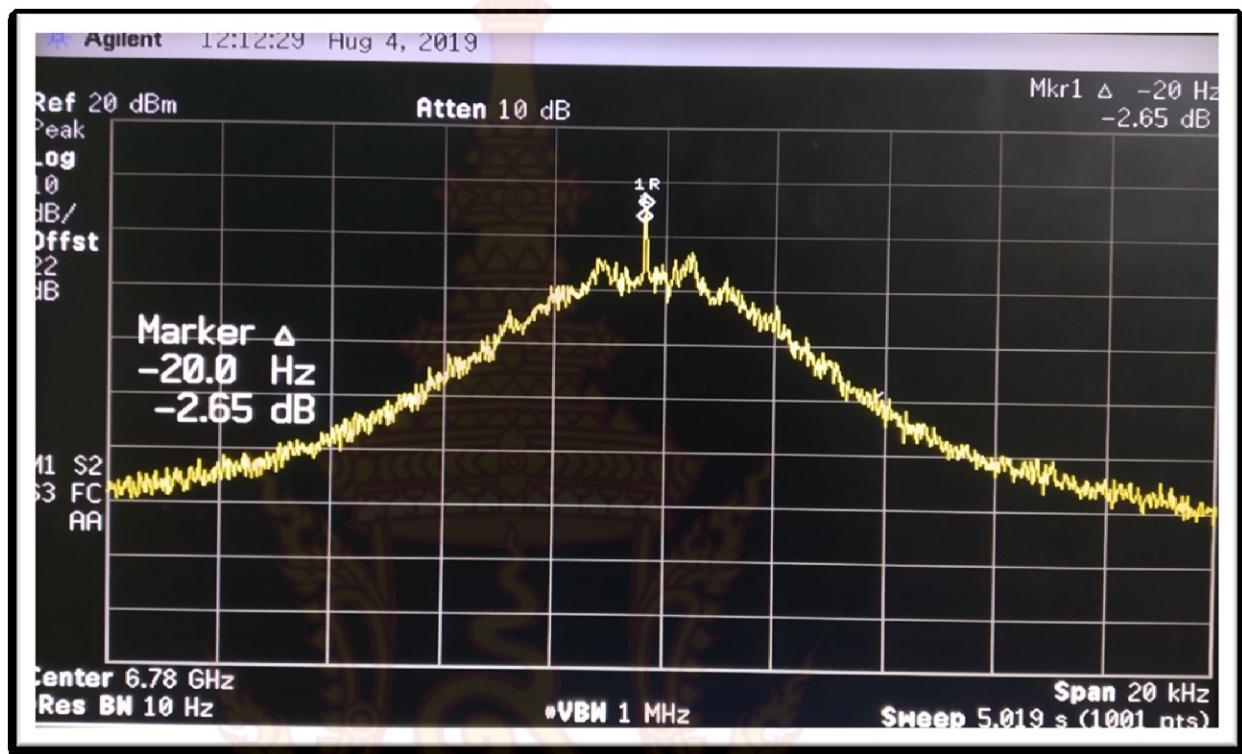


ภาพที่ 4.21 วงจรผสมสัญญาณ HMC218ที่ใช้ในการทดสอบ



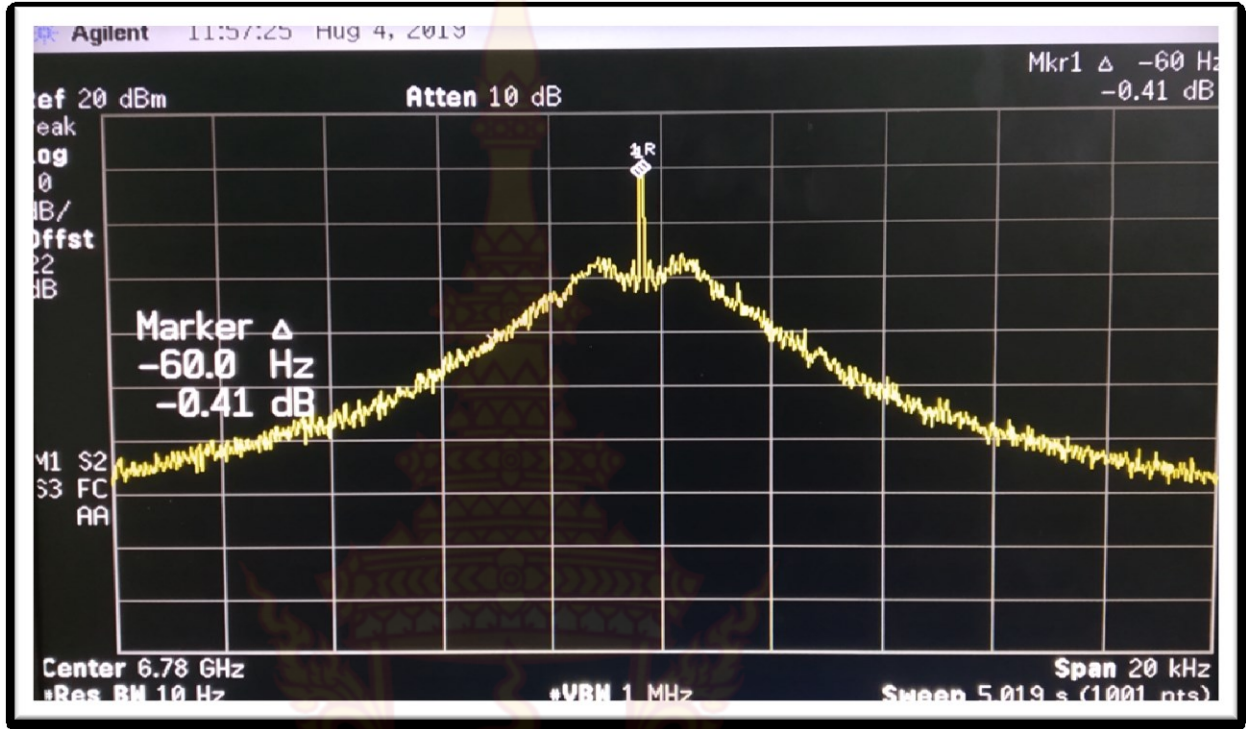
ภาพที่ 4.22 ผลการทดสอบทดสอบวงจรมผสมสัญญาณ HMC218

4.2.5 ทดสอบการเบี่ยงเบนความถี่

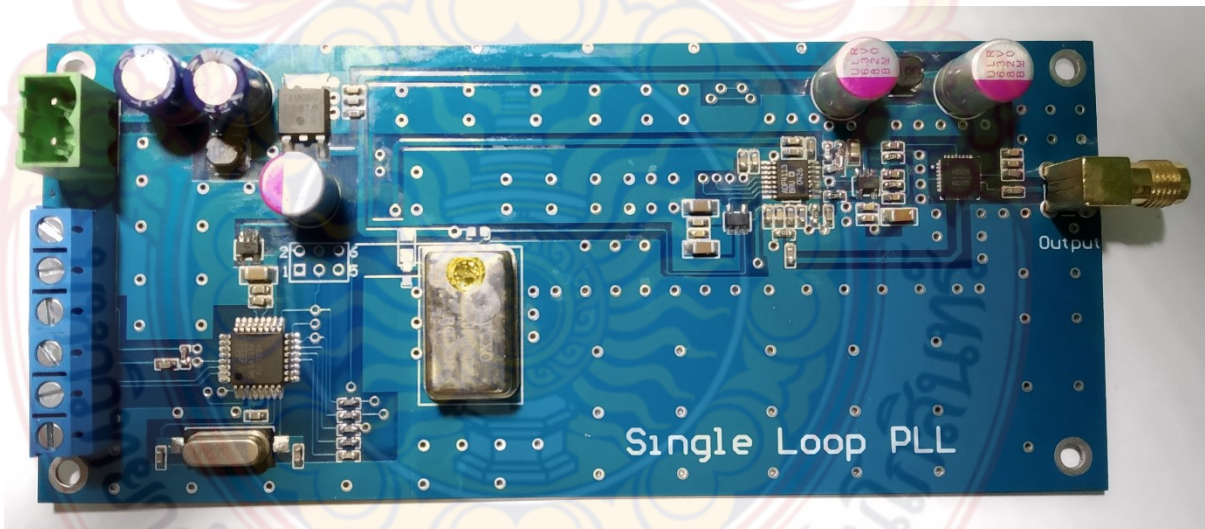


ภาพที่ 4.23 ผลการทดสอบการเบี่ยงเบนความถี่แบบสามรูป

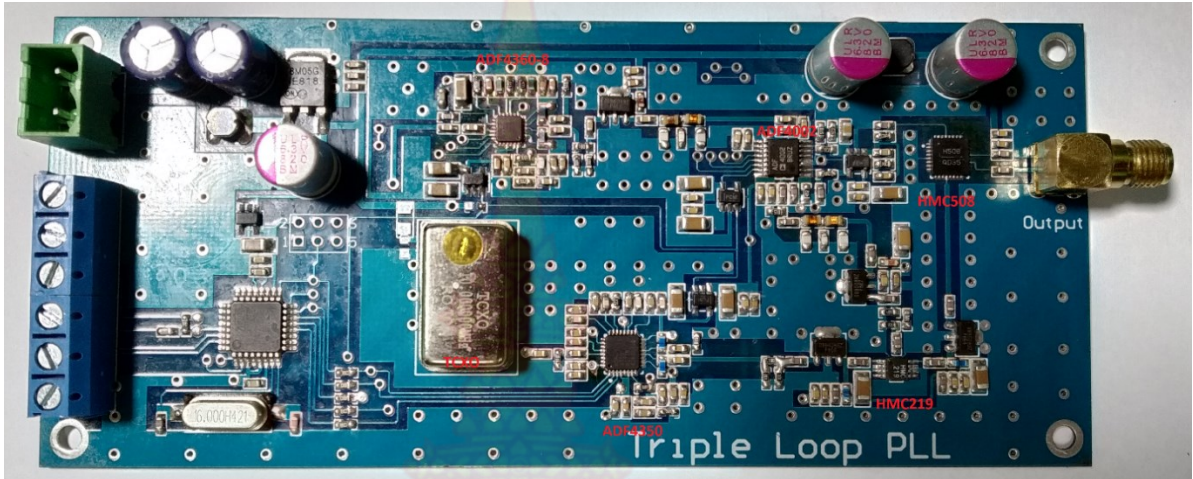




ภาพที่ 4.23 ผลการทดสอบการเบี่ยงเบนความถี่แบบลูปเดียว



ภาพที่ 4.24 ภาพชิ้นงานที่ใช้ในการทดสอบแบบลูปเดียว



ภาพที่ 4.25 ภาพชิ้นงานที่ใช้ในการทดสอบแบบสามลูป

4.3 สรุปผลการทดสอบ

@ 6.8 GHz			
Offset frequency	10kHz	100kHz	1MHz
Phase noise	-87.78dBc/Hz	-87.78dBc/Hz	-87.78dBc/Hz
@ 7.33 GHz			
Offset frequency	10kHz	100kHz	1MHz
Phase noise	-85.05dBc/Hz	-111.66dBc/Hz	-129.95dBc/Hz
@ 7.8 GHz			
Offset frequency	10kHz	100kHz	1MHz
Phase noise	-87.78dBc/Hz	-109.23dBc/Hz	-128.30dBc/Hz

บทที่ 5

สรุปผล อภิปรายผลและข้อเสนอแนะ

ในการวิจัยและพัฒนาเครื่องส่งเคราะห์ความถี่แบบสามลูปย่านความถี่เอ็กซ์แบนด์สำหรับระบบสื่อสารผ่านดาวเทียม มีขั้นตอนการดำเนินงานตั้งแต่เริ่มค้นคว้าเพื่อสืบค้นหาข้อมูลที่จำเป็นพื้นฐานและแนวทางการออกแบบพร้อมสร้างวงจรแต่ละภาค จากนั้นทำการทดลองในแต่ละภาคของวงจรและปรับปรุงแก้ไขจนได้เป็นผลที่น่าพอใจ จากผลการดำเนินงานที่ผ่านมาสามารถสรุปเป็นปัญหา และแนวทางการแก้ไขตลอดจนข้อเสนอแนะได้ดังนี้

5.1 สรุปผลการวิจัย

งานวิจัยนี้เป็นการศึกษาและออกแบบเครื่องส่งเคราะห์ความถี่แบบสามลูปย่านความถี่เอ็กซ์แบนด์สำหรับระบบสื่อสารผ่านดาวเทียม โดยภายในเครื่องส่งเคราะห์ความถี่ประกอบด้วยวงจรเฟสล็อกคู่ด้วยกันสามลูป ทำงานที่ความถี่ 6.8 – 7.8 GHz ปรับความถี่ได้ครั้งละ 100 kHz กำลังงานเอาต์พุต 10 dBm เมื่อทำการทดสอบที่ความถี่ 7.33 กิ GHz ค่าเฟสน้อยส์เท่ากับ -85 dBc,-111.66 dBcและ-129.95dB ที่ความถี่คัทออฟ 10kHz,100kHzและ1MHz ตามลำดับ มีค่าเบี่ยงเบนความถี่ 20Hz จากผลการทดสอบจะเห็นได้ว่าเครื่องส่งเคราะห์ความถี่ที่ออกแบบมีเฟสน้อยส์ต่ำและมีความถี่ความเที่ยงตรงสูง

5.2 ปัญหาและอุปสรรค

การลงอุปกรณ์อิเล็กทรอนิกส์ที่มีขนาดเล็ก

5.3 แนวทางการแก้ไขปัญหา

เครื่องส่งเคราะห์ความถี่แบบสามลูปย่านความถี่เอ็กซ์แบนด์สำหรับระบบสื่อสารผ่านดาวเทียมในงานวิจัยนี้ สามารถใช้กับดาวเทียมสถานีดาวเทียมภาคพื้นดินหรือเทคโนโลยีอวกาศที่ต้องการวงจรที่มีความแม่นยำสูงและมีสัญญาณรบกวนต่ำ ซึ่งภายในเครื่องส่งเคราะห์ความถี่ที่ออกแบบ ใช้เทคนิควงจรเฟสล็อกคู่ด้วยกันสามลูป โดยจะทำให้เฟสน้อยส์ต่ำ (low phase noise) และมีความถี่มีความเที่ยงตรงสูง จากการ

ออกแบบไม่ต้องพึ่งพาอุปกรณ์จากต่างประเทศ ลดต้นทุนการผลิตและส่งเสริมให้มีการพัฒนาเทคโนโลยี
อวกาศไปอีกขั้น

5.4 การนำไปใช้ประโยชน์แนวทางการประยุกต์หรือพัฒนาต่อยอดในลักษณะอื่นๆ

1. สามารถนำองค์ความรู้ที่พัฒนาขึ้นและประสบการณ์ที่ได้รับจากโครงการไปออกแบบพัฒนาให้
ใช้งานในย่านความถี่อื่น
2. การนำไปใช้สำหรับหน่วยงานภาครัฐและเอกชนเช่น สถานีดาวเทียมภาคพื้นดิน
3. ลดการพึ่งพาเทคโนโลยีจากต่างประเทศ เพราะใช้องค์ความรู้ของนักวิจัยไทยสร้างขึ้นใช้เอง



บรรณานุกรม

- [1] Donald R. Stephens ,phase-locked loops for wireless communications ,Kluwer Academic Publishers,2002
- [2] D. K. Misra, Radio-frequency and microwave communication circuits, New York: John Wiley & Sons, Inc, 2001.
- [3] Lechang Liu; Ramesh Pokharel,"Compact Modeling of Phase-Locked Loop Frequency Synthesizer for Transient Phase Noise and Jitter Simulation",IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems,Year: 2016, Volume: 35, Issue: 1,P166 - 170.
- [4] Colin Weltin-Wu; Guobi Zhao; Ian Galton,"A 3.5 GHz Digital Fractional-N PLL Frequency Synthesizer Based on Ring Oscillator Frequency-to-Digital Conversion",IEEE Journal of Solid-State Circuits,Year: 2015, Volume: 50, Issue: 12,P2988 - 3002.
- [5] Anders Jakobsson; Christian Grewing; Adriana Serban; Shaofang Gong,"Frequency Synthesizer With Dual Loop Frequency and Gain Calibration",IEEE Transactions on Circuits and Systems I,Year: 2013, Volume: 60, Issue: 11,Pages: 2911 - 2919.
- [6] Jin Zhou; Wei Li; Deping Huang; Chen Lian; Ning Li; Junyan Ren; Jinghong Chen,"A 0.4–6-GHz Frequency Synthesizer Using Dual-Mode VCO for Software-Defined Radio"IEEE Transactions on Microwave Theory and Techniques,Year: 2013, Volume: 61, Issue: 2,P: 848 - 859.
- [7] Chun-Cheng Wang; Zhiming Chen; Payam Heydari,"W-Band Silicon-Based Frequency Synthesizers Using Injection-Locked and Harmonic Triplers",IEEE Transactions on Microwave Theory and Techniques,Year: 2012, Volume: 60, Issue: 5,P: 1307 - 1320.
- [8] Ahmed Musa; Rui Murakami; Takahiro Sato; Win Chaivipas; Kenichi Okada; Akira Matsuzawa"A Low Phase Noise Quadrature Injection Locked Frequency Synthesizer for MM-Wave Applications",IEEE Journal of Solid-State Circuits,Year: 2011, Volume: 46, Issue: 11,P: 2635 - 2649.
- [9] Takashi Tokairin; Mitsuji Okada; Masaki Kitsunezuka; Tadashi Maeda; Muneo Fukaishi,"A 2.1-to-2.8-GHz Low-Phase-Noise All-Digital Frequency Synthesizer With a Time-Windowed Time-to-Digital Converter",IEEE Journal of Solid-State Circuits,Year:

2010, Volume: 45, Issue: 12,P: 2582 - 2590.

- [10] Yu-Che Yang; Shey-Shi Lu,"A Single-VCO Fractional- N Frequency Synthesizer for Digital TV Tuners",IEEE Transactions on Industrial Electronics,Year: 2010, Volume: 57, Issue: 9,P: 3207 - 3215.
- [11] Eugene S. McVey; James G. O'Neill,"Fractional Frequency Synthesizer",IEEE Transactions on Industrial Electronics and Control Instrumentation,Year: 1973, Volume: IECI-20, Issue: 1,Pages: 47 - 50.





ภาคผนวก (ก)

DATA SHEET ADF 4350

SPECIFICATIONS

$AV_{DD} = DV_{DD} = V_{VCO} = SDV_{DD} = V_P = 3.3 \text{ V} \pm 10\%$; $AGND = DGND = 0 \text{ V}$; $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Operating temperature range is -40°C to $+85^\circ\text{C}$.

Table 1.

Parameter	B Version			Unit	Test Conditions/Comments
	Min	Typ	Max		
REF_{IN} CHARACTERISTICS					
Input Frequency	10		250	MHz	For $f < 10 \text{ MHz}$ ensure slew rate $> 21 \text{ V}/\mu\text{s}$ Biased at $AV_{DD}/2^1$
Input Sensitivity	0.7		AV_{DD}	V p-p	
Input Capacitance		10		pF	
Input Current			± 60	μA	
PHASE DETECTOR					
Phase Detector Frequency ²			32	MHz	
CHARGE PUMP					
I_{CP} Sink/Source ³					With $R_{SET} = 5.1 \text{ k}\Omega$
High Value		5		mA	
Low Value		0.312		mA	
R_{SET} Range	2.7		10	$\text{k}\Omega$	
Sink and Source Current Matching		2		%	$0.5 \text{ V} \leq V_{CP} \leq 2.5 \text{ V}$
I_{CP} vs. V_{CP}		1.5		%	$0.5 \text{ V} \leq V_{CP} \leq 2.5 \text{ V}$
I_{CP} vs. Temperature		2		%	$V_{CP} = 2.0 \text{ V}$
LOGIC INPUTS					
Input High Voltage, V_{INH}	1.5			V	
Input Low Voltage, V_{NIL}			0.6	V	
Input Current, I_{INH}/I_{NIL}			± 1	μA	
Input Capacitance, C_{IN}		3.0		pF	
LOGIC OUTPUTS					
Output High Voltage, V_{OH}	$DV_{DD} - 0.4$			V	CMOS output chosen $I_{OL} = 500 \mu\text{A}$
Output High Current, I_{OH}			500	μA	
Output Low Voltage, V_{OL}			0.4	V	
POWER SUPPLIES					
AV_{DD}	3.0		3.6	V	These voltages must equal AV_{DD}
DV_{DD} , V_{VCO} , SDV_{DD} , V_P		AV_{DD}			
$DI_{DD} + AI_{DD}$ ⁴		21	27	mA	Each output divide-by-2 consumes 6 mA
Output Dividers		6 to 24		mA	
I_{VCO} ⁴		70	80	mA	RF output stage is programmable
I_{RFOUT} ⁴		21	26	mA	
Low Power Sleep Mode		7	1000	μA	
RF OUTPUT CHARACTERISTICS					
Maximum VCO Output Frequency			4400	MHz	Fundamental VCO mode 2200 MHz fundamental output and divide by 16 selected
Minimum VCO Output Frequency	2200			MHz	
Minimum VCO Output Frequency Using Dividers	137.5			MHz	
VCO Sensitivity		33		MHz/V	Into 2.00 VSWR load Fundamental VCO output Fundamental VCO output Divided VCO output Divided VCO output Programmable in 3 dB steps
Frequency Pushing (Open-Loop)		1		MHz/V	
Frequency Pulling (Open-Loop)		90		kHz	
Harmonic Content (Second)		-19		dBc	
Harmonic Content (Third)		-13		dBc	
Harmonic Content (Second)		-20		dBc	
Harmonic Content (Third)		-10		dBc	
Minimum RF Output Power ⁵		-4		dBm	
Maximum RF Output Power ⁵		5		dBm	
Output Power Variation		± 1		dB	
Minimum VCO Tuning Voltage		0.5		V	
Maximum VCO Tuning Voltage		2.5		V	

Parameter	B Version			Unit	Test Conditions/Comments
	Min	Typ	Max		
NOISE CHARACTERISTICS					
VCO Phase-Noise Performance ⁶		-89		dBc/Hz	10 kHz offset from 2.2 GHz carrier
		-114		dBc/Hz	100 kHz offset from 2.2 GHz carrier
		-134		dBc/Hz	1 MHz offset from 2.2 GHz carrier
		-148		dBc/Hz	5 MHz offset from 2.2 GHz carrier
		-86		dBc/Hz	10 kHz offset from 3.3 GHz carrier
		-111		dBc/Hz	100 kHz offset from 3.3 GHz carrier
		-134		dBc/Hz	1 MHz offset from 3.3 GHz carrier
		-145		dBc/Hz	5 MHz offset from 3.3 GHz carrier
		-83		dBc/Hz	10 kHz offset from 4.4 GHz carrier
		-110		dBc/Hz	100 kHz offset from 4.4 GHz carrier
		-132		dBc/Hz	1 MHz offset from 4.4 GHz carrier
		-145		dBc/Hz	5 MHz offset from 4.4 GHz carrier
Normalized Phase Noise Floor (PN _{SYNTH}) ⁷		-220		dBc/Hz	PLL Loop BW = 500 kHz
Normalized 1/f Noise (PN _{1/f}) ⁸		-111		dBc/Hz	10 kHz offset; normalized to 1 GHz
In-Band Phase Noise ⁹		-97		dBc/Hz	3 kHz offset from 2113.5 MHz carrier
Integrated RMS Jitter ¹⁰		0.5		ps	
Spurious Signals Due to PFD Frequency		-70		dBc	
Level of Signal With RF Mute Enabled		-40		dBm	

¹ AC coupling ensures AVDD/2 bias.

² Guaranteed by design. Sample tested to ensure compliance.

³ I_{CP} is internally modified to maintain constant loop gain over the frequency range.

⁴ T_A = 25°C; AVDD = DVDD = VVCO = 3.3 V; prescaler = 8/9; f_{REFN} = 100 MHz; f_{FDD} = 25 MHz; f_{RF} = 4.4 GHz.

⁵ Using 50 Ω resistors to V_{VCO}, into a 50 Ω load. Power measured with auxiliary RF output disabled. The current consumption of the auxiliary output is the same as for the main output.

⁶ The noise of the VCO is measured in open-loop conditions.

⁷ The synthesizer phase noise floor is estimated by measuring the in-band phase noise at the output of the VCO and subtracting 20 log N (where N is the N divider value) and 10 log F_{FDD}. PN_{SYNTH} = PN_{RF} - 10 log F_{FDD} - 20 log N.

⁸ The PLL phase noise is composed of 1/f (flicker) noise plus the normalized PLL noise floor. The formula for calculating the 1/f noise contribution at an RF frequency, f_{RF}, and at a frequency offset f is given by PN = P_{1/f} + 10log(10 kHz/f) + 20log(f_{REF}/1 GHz). Both the normalized phase noise floor and flicker noise are modeled in ADIsimPLL.

⁹ f_{REFN} = 100 MHz; f_{FDD} = 25 MHz; offset frequency = 10 kHz; VCO frequency = 4227 MHz, output divide by two enabled. RF_{OUT} = 2113.5 MHz; N = 169; loop BW = 40 kHz, I_{CP} = 313 μA; low noise mode. The noise was measured with an EVAL-ADF4350EB1Z and the Agilent E5052A signal source analyzer.

¹⁰ f_{REFN} = 100 MHz; f_{FDD} = 25 MHz; VCO frequency = 4400 MHz, RF_{OUT} = 4400 MHz; N = 176; loop BW = 40 kHz, I_{CP} = 313 μA; low noise mode. The noise was measured with an EVAL-ADF4350EB1Z and the Agilent E5052A signal source analyzer.

TIMING CHARACTERISTICS

$AV_{DD} = DV_{DD} = V_{VCO} = SDV_{DD} = V_P = 3.3\text{ V} \pm 10\%$; $AGND = DGND = 0\text{ V}$; 1.8 V and 3 V logic levels used; $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted.

Table 2.

Parameter	Limit (B Version)	Unit	Test Conditions/Comments
t_1	20	ns min	LE setup time
t_2	10	ns min	DATA to CLK setup time
t_3	10	ns min	DATA to CLK hold time
t_4	25	ns min	CLK high duration
t_5	25	ns min	CLK low duration
t_6	10	ns min	CLK to LE setup time
t_7	20	ns min	LE pulse width

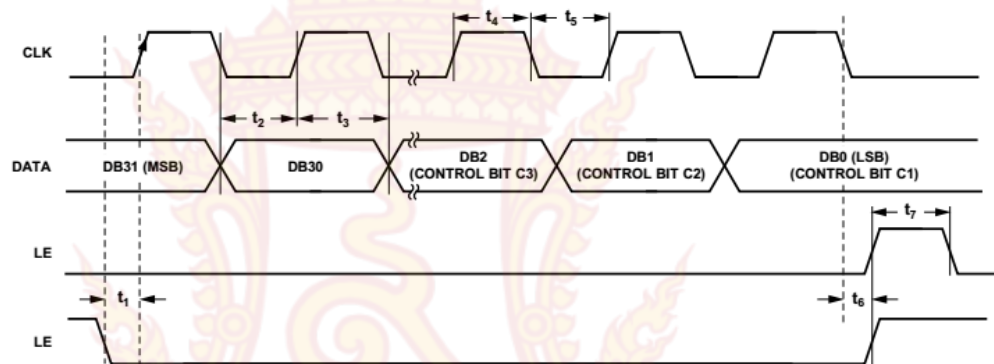
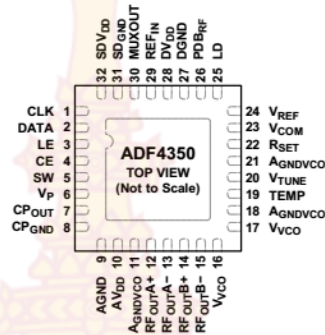


Figure 2. Timing Diagram

073285-02

PIN CONFIGURATION AND FUNCTION DESCRIPTIONS



NOTES
1. THE LFCSPP HAS AN EXPOSED PADDLE THAT MUST BE CONNECTED TO GND.

07259-003

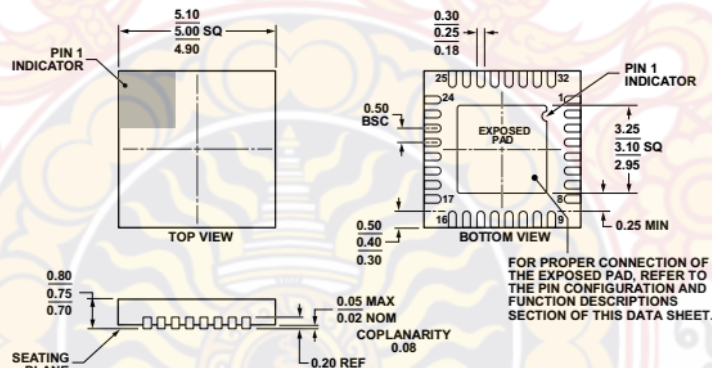
Figure 3. Pin Configuration

Table 4. Pin Function Descriptions

Pin No.	Mnemonic	Description
1	CLK	Serial Clock Input. Data is clocked into the 32-bit shift register on the CLK rising edge. This input is a high impedance CMOS input.
2	DATA	Serial Data Input. The serial data is loaded MSB first with the three LSBs as the control bits. This input is a high impedance CMOS input.
3	LE	Load Enable, CMOS Input. When LE goes high, the data stored in the shift register is loaded into the register that is selected by the three LSBs.
4	CE	Chip Enable. A logic low on this pin powers down the device and puts the charge pump into three-state mode. A logic high on this pin powers up the device depending on the status of the power-down bits.
5	SW	Fast-Lock Switch. A connection must be made from the loop filter to this pin when using the fast-lock mode.
6	V _p	Charge Pump Power Supply. This pin is to be equal to AV _{DD} . Decoupling capacitors to the ground plane are to be placed as close as possible to this pin.
7	CP _{OUT}	Charge Pump Output. When enabled, this provides $\pm I_{CP}$ to the external loop filter. The output of the loop filter is connected to V _{TUNE} to drive the internal VCO.
8	CP _{GND}	Charge Pump Ground. This is the ground return pin for CP _{OUT} .
9	AGND	Analog Ground. This is a ground return pin for AV _{DD} .
10	AV _{DD}	Analog Power Supply. This pin ranges from 3.0 V to 3.6 V. Decoupling capacitors to the analog ground plane are to be placed as close as possible to this pin. AV _{DD} must have the same value as DV _{DD} .
11, 18, 21	AGNDVCO	VCO Analog Ground. These are the ground return pins for the VCO.
12	RF _{OUTA+}	VCO Output. The output level is programmable. The VCO fundamental output or a divided down version is available.
13	RF _{OUTA-}	Complementary VCO Output. The output level is programmable. The VCO fundamental output or a divided down version is available.
14	RF _{OUTB+}	Auxiliary VCO Output. The output level is programmable. The VCO fundamental output or a divided down version is available.
15	RF _{OUTB-}	Complementary Auxiliary VCO Output. The output level is programmable. The VCO fundamental output or a divided down version is available.
16, 17	V _{VCO}	Power Supply for the VCO. This ranges from 3.0 V to 3.6 V. Decoupling capacitors to the analog ground plane must be placed as close as possible to these pins. V _{VCO} must have the same value as AV _{DD} .
19	TEMP	Temperature Compensation Output. Decoupling capacitors to the ground plane are to be placed as close as possible to this pin.
20	V _{TUNE}	Control Input to the VCO. This voltage determines the output frequency and is derived from filtering the CP _{OUT} output voltage.

Pin No.	Mnemonic	Description
22	R _{SET}	Connecting a resistor between this pin and GND sets the charge pump output current. The nominal voltage bias at the R _{SET} pin is 0.55 V. The relationship between I _{CP} and R _{SET} is $I_{CP} = \frac{25.5}{R_{SET}}$ where: R _{SET} = 5.1 kΩ I _{CP} = 5 mA
23	V _{COM}	Internal Compensation Node Biased at Half the Tuning Range. Decoupling capacitors to the ground plane must be placed as close as possible to this pin.
24	V _{REF}	Reference Voltage. Decoupling capacitors to the ground plane must be placed as close as possible to this pin.
25	LD	Lock Detect Output Pin. This pin outputs a logic high to indicate PLL lock. A logic low output indicates loss of PLL lock.
26	PDB _{RF}	RF Power-Down. A logic low on this pin mutes the RF outputs. This function is also software controllable.
27	DGND	Digital Ground. Ground return path for DV _{DD} .
28	DV _{DD}	Digital Power Supply. This pin must be the same voltage as AV _{DD} . Decoupling capacitors to the ground plane must be placed as close as possible to this pin.
29	REF _{IN}	Reference Input. This is a CMOS input with a nominal threshold of V _{DD} /2 and a dc equivalent input resistance of 100 kΩ. This input can be driven from a TTL or CMOS crystal oscillator, or it can be ac-coupled.
30	MUXOUT	Multiplexer Output. This multiplexer output allows either the lock detect, the scaled RF, or the scaled reference frequency to be accessed externally.
31	SD _{GND}	Digital Sigma-Delta (Σ-Δ) Modulator Ground. Ground return path for the Σ-Δ modulator.
32	SDV _{DD}	Power Supply Pin for the Digital Σ-Δ Modulator. Must be the same voltage as AV _{DD} . Decoupling capacitors to the ground plane are to be placed as close as possible to this pin.
33	EP	Exposed Pad.

OUTLINE DIMENSIONS



COMPLIANT TO JEDEC STANDARDS MO-220-WHHD.
 Figure 40. 32-Lead Lead Frame Chip Scale Package [LFCSP]
 5 mm × 5 mm Body and 0.75 mm Package Height
 (CP-32-7)
 Dimensions shown in millimeters

ORDERING GUIDE

Model ¹	Temperature Range	Package Description	Package Option
ADF4350BCPZ	-40°C to +85°C	32-Lead Lead Frame Chip Scale Package [LFCSP]	CP-32-7
ADF4350BCPZ-RL	-40°C to +85°C	32-Lead Lead Frame Chip Scale Package [LFCSP]	CP-32-7
ADF4350BCPZ-RL7	-40°C to +85°C	32-Lead Lead Frame Chip Scale Package [LFCSP]	CP-32-7
EVAL-ADF4350EB1Z		Evaluation Board, Primary RF Output Available	
EVAL-ADF4350EB2Z		Evaluation Board, Primary and Auxiliary RF Outputs Available	



ภาคผนวก (ข)

DATA SHEET HMC508



MMIC VCO w/ HALF FREQUENCY OUTPUT 7.3 - 8.2 GHz

Typical Applications

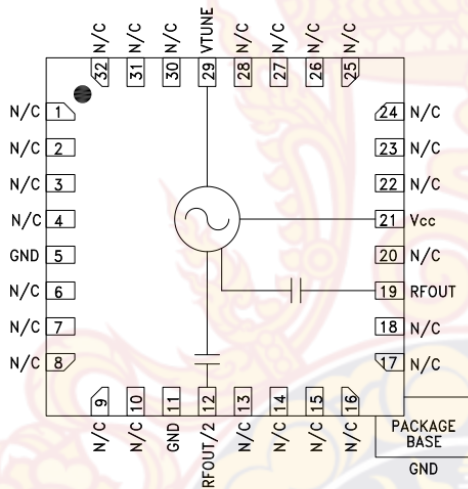
Low noise MMIC VCO w/Half Frequency, for:

- VSAT Radio
- Point to Point/Multi-Point Radio
- Test Equipment & Industrial Controls
- Military End-Use

Features

- Dual Output: $F_o = 7.3 - 8.2$ GHz
 $F_o/2 = 3.65 - 4.1$ GHz
- Pout: +15.0 dBm
- Phase Noise: -116 dBc/Hz @100 kHz Typ.
- No External Resonator Needed
- 32 Lead 5x5mm SMT Package: 25mm²

Functional Diagram



General Description

The HMC508LP5 & HMC508LP5E are GaAs InGaP Heterojunction Bipolar Transistor (HBT) MMIC VCOs. The HMC508LP5 & HMC508LP5E integrate resonators, negative resistance devices, varactor diodes and feature a half frequency output. The VCO's phase noise performance is excellent over temperature, shock, and process due to the oscillator's monolithic structure. Power output is +15 dBm typical from a +5V supply. The voltage controlled oscillator is packaged in a leadless QFN 5x5 mm surface mount package, and requires no external matching components.

Electrical Specifications, $T_A = +25^\circ C$, $V_{cc} = +5V$

Parameter	Min.	Typ.	Max.	Units
Frequency Range	F_o	7.3 - 8.2		GHz
	$F_o/2$	3.65 - 4.1		GHz
Power Output	RFOUT	+12	+17	dBm
	RFOUT/2	+4	+10	dBm
SSB Phase Noise @ 100 kHz Offset, $V_{tune} = +5V$ @ RFOUT		-116		dBc/Hz
Tune Voltage	V_{tune}	2	13	V
Supply Current (I_{cc}) ($V_{cc} = +5.0V$)		200	280	mA
Tune Port Leakage Current ($V_{tune} = 13V$)			10	μA
Output Return Loss		2		dB
Harmonics/Subharmonics	1/2	40		dBc
	2nd	20		dBc
	3rd	35		dBc
Pulling (into a 2.0:1 VSWR)		8		MHz pp
Pushing @ $V_{tune} = 5V$		10		MHz/V
Frequency Drift Rate		1.0		MHz/ $^\circ C$

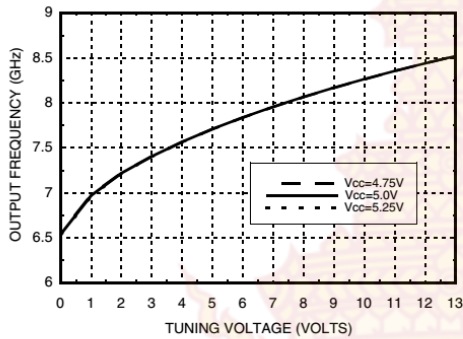
Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

For price, delivery, and to place orders: Analog Devices, Inc., One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106
Phone: 781-329-4700 • Order online at www.analog.com
Application Support: Phone: 1-800-ANALOG-D

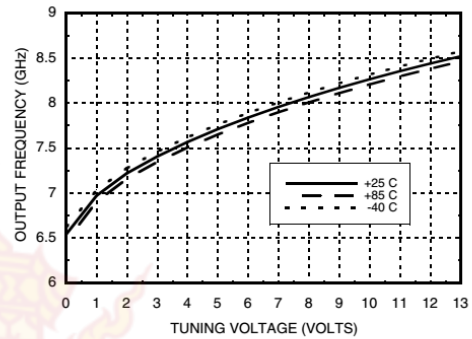


MMIC VCO w/ HALF FREQUENCY OUTPUT 7.3 - 8.2 GHz

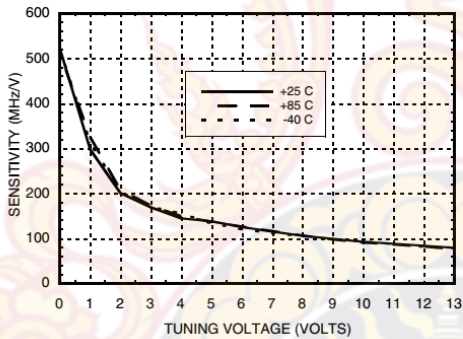
Frequency vs. Tuning Voltage, T = 25°C



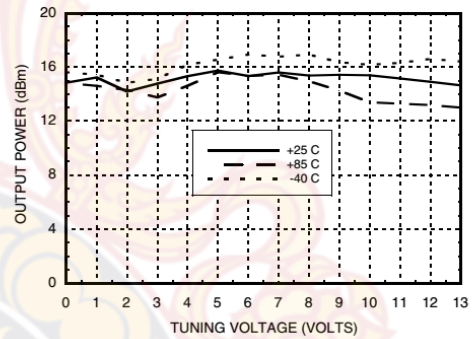
Frequency vs. Tuning Voltage, Vcc = +5V



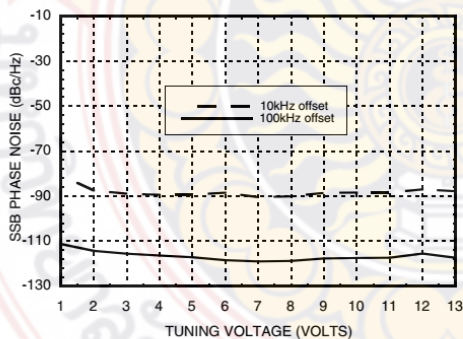
Sensitivity vs. Tuning Voltage, Vcc = +5V



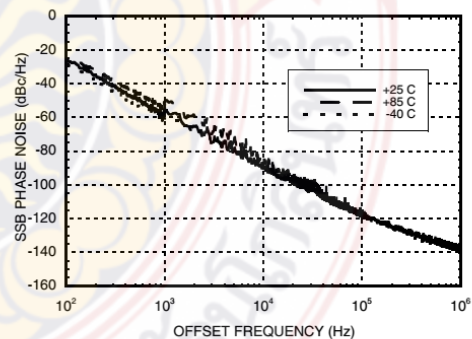
Output Power vs. Tuning Voltage, Vcc = +5V



SSB Phase Noise vs. Tuning Voltage



SSB Phase Noise @ Vtune = +5V



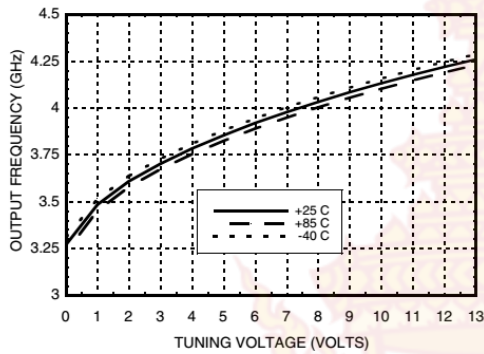
Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

For price, delivery, and to place orders: Analog Devices, Inc., One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106 Phone: 781-329-4700 • Order online at www.analog.com Application Support: Phone: 1-800-ANALOG-D

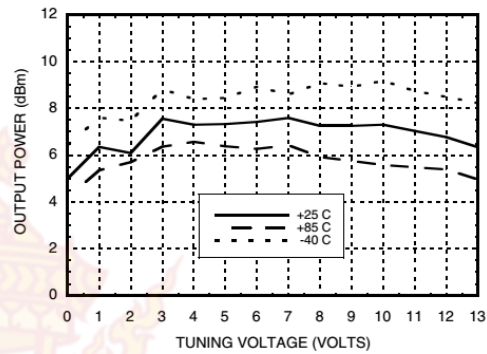


**MMIC VCO w/ HALF FREQUENCY
OUTPUT 7.3 - 8.2 GHz**

RFOUT/2 Frequency vs. Tuning Voltage, Vcc= +5V



RFOUT/2 Output Power vs. Tuning Voltage, Vcc= +5V



Absolute Maximum Ratings

Vcc	+5.5 Vdc
Vtune	0 to +15V
Junction Temperature	135 °C
Continuous Pdiss (T=85 °C) (derate 28 mW/C above 85 °C)	1.4 W
Thermal Resistance (junction to ground paddle)	35 °C/W
Storage Temperature	-65 to +150 °C
Operating Temperature	-40 to +85 °C
ESD Sensitivity (HBM)	Class 1A

Typical Supply Current vs. Vcc

Vcc (V)	Icc (mA)
4.75	220
5.0	240
5.25	260

Note: VCO will operate over full voltage range shown above.

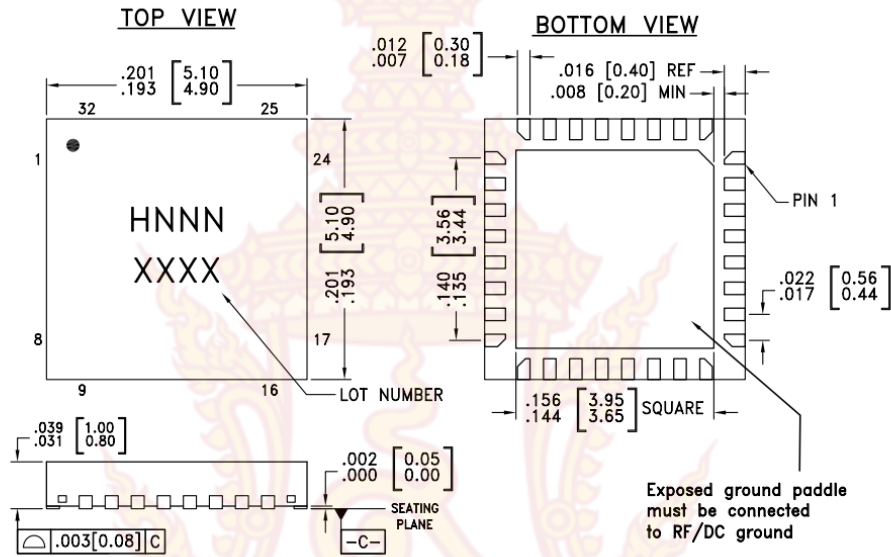


**ELECTROSTATIC SENSITIVE DEVICE
OBSERVE HANDLING PRECAUTIONS**



MMIC VCO w/ HALF FREQUENCY OUTPUT 7.3 - 8.2 GHz

Outline Drawing



- NOTES:
1. LEADFRAME MATERIAL: COPPER ALLOY
 2. DIMENSIONS ARE IN INCHES [MILLIMETERS]
 3. LEAD SPACING TOLERANCE IS NON-CUMULATIVE.
 4. PAD BURR LENGTH SHALL BE 0.15mm MAXIMUM. PAD BURR HEIGHT SHALL BE 0.05mm MAXIMUM.
 5. PACKAGE WARP SHALL NOT EXCEED 0.05mm.
 6. ALL GROUND LEADS AND GROUND PADDLE MUST BE SOLDERED TO PCB RF GROUND.
 7. REFER TO HITTITE APPLICATION NOTE FOR SUGGESTED LAND PATTERN.

Package Information

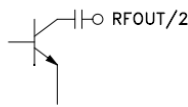
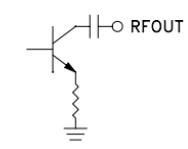
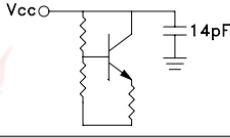
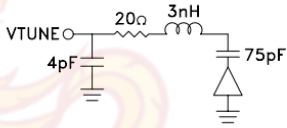

Part Number	Package Body Material	Lead Finish	MSL Rating	Package Marking ^[3]
HMC508LP5	Low Stress Injection Molded Plastic	Sn/Pb Solder	MSL3 ^[1]	H508 XXXX
HMC508LP5E	RoHS-compliant Low Stress Injection Molded Plastic	100% matte Sn	MSL3 ^[2]	H508 XXXX

[1] Max peak reflow temperature of 235 °C

[2] Max peak reflow temperature of 260 °C

[3] 4-Digit lot number XXXX

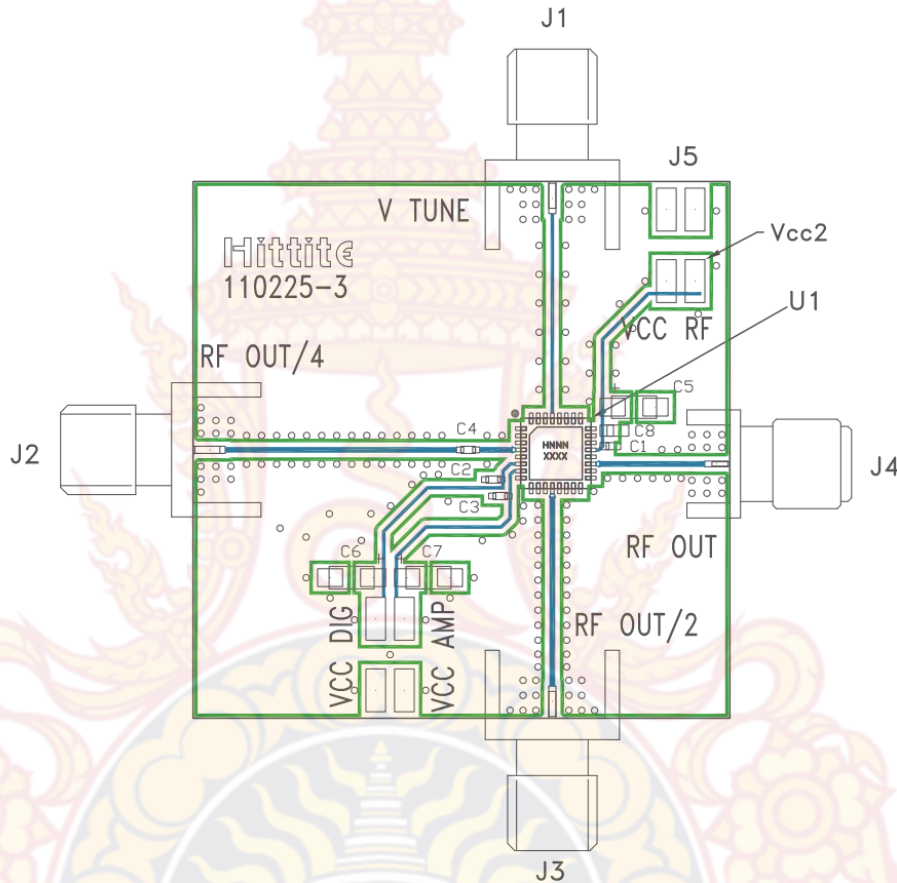

Pin Descriptions

Pin Number	Function	Description	Interface Schematic
1 - 4, 6 - 10, 13 - 18, 20, 22 - 28, 30 - 32	N/C	No Connection. These pins may be connected to RF/ DC ground. Performance will not be affected.	
12	RFOUT/2	Half frequency output (AC coupled).	
19	RFOUT	RF output (AC coupled).	
21	Vcc	Supply Voltage, +5V	
29	VTUNE	Control Voltage Input. Modulation port bandwidth dependent on drive source impedance.	
5, 11, Paddle	GND	Package bottom has an exposed metal paddle that must be connected to RF/DC ground.	



**MMIC VCO w/ HALF FREQUENCY
OUTPUT 7.3 - 8.2 GHz**

Evaluation PCB



List of Materials for Evaluation PCB 110227 [1]

Item	Description
J1 - J4	PCB Mount SMA RF Connector
J5	2 mm DC Header
C1 - C3	100 pF Capacitor, 0402 Pkg.
C4	1,000 pF Capacitor, 0402 Pkg.
C5 - C7	2.2 μF Tantalum Capacitor
U1	HMC508LP5(E) VCO
PCB [2]	110225 Eval Board

[1] Reference this number when ordering complete evaluation PCB

[2] Circuit Board Material: Arlon 25FR

The circuit board used in the application should use RF circuit design techniques. Signal lines should have 50 Ohm impedance while the package ground leads and backside ground paddle should be connected directly to the ground plane similar to that shown. A sufficient number of via holes should be used to connect the top and bottom ground planes. The evaluation circuit board shown is available from Hittite upon request.



ประวัติผู้วิจัย

ประวัติผู้วิจัย

1. ชื่อ สกุล เจตวารา ต่างจิตร์
2. ตำแหน่งปัจจุบัน อาจารย์ประจำสาขาวิชาวิศวกรรมโทรคมนาคม
3. หน่วยงานและสถานที่อยู่ที่ติดต่อได้

สาขาวิชาวิศวกรรมโทรคมนาคม คณะวิศวกรรมศาสตร์
มหาวิทยาลัยเทคโนโลยีราชมงคลธัญบุรี
96 หมู่ 3 ถ.พุทธมณฑลสาย 5 ต.ศาลายา อ.พุทธมณฑล จ.นครปฐม
โทรศัพท์: 02-441-6000 ต่อ 2632 และ 2667
มือถือ: 082-444-6886 โทรสาร: 02-441-6000 ต่อ 2632
e-mail: jetwara.tan@rmutr.ac.th

4. ประวัติการศึกษา

ปริญญาโท มหาวิทยาลัยเทคโนโลยีมหานคร วิศวกรรมศาสตรมหาบัณฑิต
สาขาวิศวกรรมไฟฟ้า พ.ศ.2550
ปริญญาตรี มหาวิทยาลัยเทคโนโลยีมหานคร วิศวกรรมศาสตรบัณฑิต
สาขาวิศวกรรมไฟฟ้า พ.ศ.2547

5. สาขาวิชาการที่มีความชำนาญพิเศษ

- การออกแบบวงจรความถี่สูง
- การออกแบบอุปกรณ์พาสซีฟและแอคทีฟย่านความถี่ไมโครเวฟ
- การทดสอบเครื่องส่งวิทยุกระจายเสียง

6. ประสบการณ์ที่เกี่ยวข้องกับการบริหารงานวิจัย

ผู้ร่วมโครงการวิจัย

- การวิจัยและพัฒนาเครื่องทดสอบการเกิดอินเตอร์มอดูเลชันในอุปกรณ์พาสซีฟสำหรับการติดตั้งสถานีเบสของโทรศัพท์เคลื่อนที่(เงินงบประมาณแผ่นดินปี 2558)
- การวิจัยและพัฒนาเครื่องตรวจจับพร้อมระบบการใช้อุปกรณ์สื่อสารในเรือนจำกลางแห่งใหม่จังหวัดนครปฐม (เงินงบประมาณแผ่นดินปี 2557)

1. ชื่อ สกุล กันต์พงษ์ ศรีสถิตย์
2. ตำแหน่งปัจจุบัน อาจารย์ประจำสาขาวิชาวิศวกรรมโทรคมนาคม
3. หน่วยงานและสถานที่ติดต่อได้

สาขาวิชาวิศวกรรมโทรคมนาคม คณะวิศวกรรมศาสตร์
มหาวิทยาลัยเทคโนโลยีราชมงคลธัญบุรี
96 หมู่ 3 ถ.พุทธมณฑลสาย 5 ต.ศาลายา อ.พุทธมณฑล จ.นครปฐม
โทรศัพท์: 02-441-6000 ต่อ 2632 และ 2667
มือถือ: 086-702-1978 โทรสาร: 02-441-6000 ต่อ 2632
e-mail: kunthphong.sri@mutr.ac.th

4. ประวัติการศึกษา

ปริญญาเอก สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
วิศวกรรมศาสตรดุษฎีบัณฑิต สาขาวิศวกรรมไฟฟ้า
ปริญญาโท มหาวิทยาลัยเทคโนโลยีมหานคร วิศวกรรมศาสตรมหาบัณฑิต
สาขาวิศวกรรมไฟฟ้า
ปริญญาตรี มหาวิทยาลัยเทคโนโลยีมหานคร วิศวกรรมศาสตรบัณฑิต
สาขาวิศวกรรมไฟฟ้า

5. สาขาวิชาการที่มีความชำนาญพิเศษ

- การออกแบบวงจรความถี่สูง
- การออกแบบอุปกรณ์พาสซีฟและแอกทีฟย่านความถี่ไมโครเวฟ
- การทดสอบเครื่องส่งวิทยุกระจายเสียง

6. ประสบการณ์ที่เกี่ยวข้องกับการบริหารงานวิจัย

ผู้ร่วมโครงการวิจัย

- การวิจัยและพัฒนาเครื่องทดสอบการเกิดอินเตอร์มอดูเลชันในอุปกรณ์พาสซีฟสำหรับการติดตั้งสถานีเบสของโทรศัพท์เคลื่อนที่(เงินงบประมาณแผ่นดินปี 2558)
- การวิจัยและพัฒนาเครื่องตรวจจับพร้อมระบบการใช้อุปกรณ์สื่อสารในเรือนจำกลางแห่งใหม่จังหวัดนครปฐม (เงินงบประมาณแผ่นดินปี 2557)